



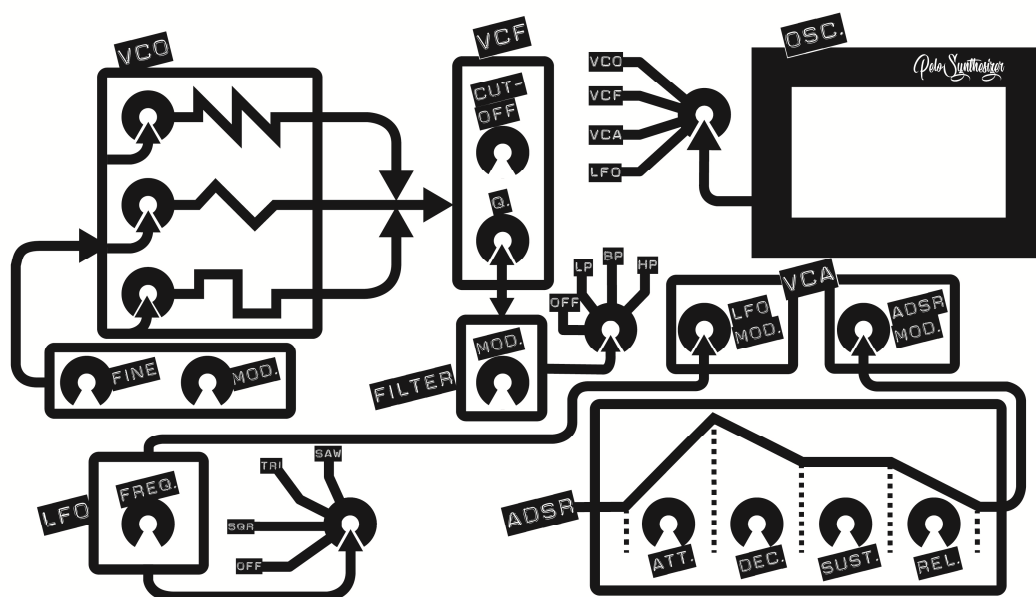
UNIVERSITAT POLITÈCNICA DE CATALUNYA
BARCELONATECH

Escola Politècnica Superior d'Enginyeria
de Manresa



ESTUDI, DISSENY I MUNTATGE D'UN SINTETITZADOR

Treball final de grau en Enginyeria Electrònica
Industrial i Automàtica



ADRIÀ DELGADO LLORET

Director: Jesús Vicente Rodrigo

Manresa

01/07/2018

Resum del projecte

Dins d'aquest projecte es recullen per una banda, les idees bàsiques entorn la síntesi tant a nivell musical com a nivell de les propietats físiques i matemàtiques del senyal.

També s'incorporen unes descripcions dels components electrònics que intervenen en la construcció d'un sintetitzador, fent èmfasi a un element poc conegut com és l'amplificador operacional de transconductància.

Per últim, hi ha l'elaboració del disseny d'un sintetitzador on es mostren els circuits, els càlculs per necessaris per dur a terme el disseny dels circuit, simulacions i per últim el muntatge de cadascun d'aquest mòduls, amb una breu explicació de la manera en com s'ha de procedir per fer el muntatge del conjunt.

Algunes de les característiques destacades del disseny proposat, és la utilització d'una targeta *FPGA* per fer el control del teclat principalment, amb la possibilitat de que sigui polifònic.

Abstract

This project includes basic ideas about the synthesis as the musical aspects and the physical and mathematical properties of the signal.

There are also included descriptions of the electronic components that intervene in the construction of a synthesizer, emphasizing an element little known as the operational amplifier of transconductance.

Finally, there is the design of a synthesizer showing the circuits, the necessary calculations to carry out the design of the circuits, simulations and finally the assembly of each of these modules, with a brief explanation of the way in how it has to proceed to do the assembly of the set.

Some attributes of the design is that there is a *FPGA* board to control keyboard to have a possibility to convert it as a polyphonic.

Índex

1. Introducció	1
1.1 Objectius	1
1.2 Finalitat.....	1
2. Antecedents.....	2
2.1 El sintetitzador.....	2
3. Coneixements previs.....	4
3.1 El senyal sonor	4
3.2 Característiques musicals	6
3.3 La síntesi.....	8
3.3.1 Síntesi additiva.....	8
3.3.2 Síntesi sostractiva	9
3.3.3 Síntesi per modulació	10
3.4 Parts d'un sintetitzador	10
3.4.1 Oscil·lador controlat per tensió (VCO)	10
3.4.2 Filtre controlat per tensió (VCF)	11
3.4.3 Amplificador controlat per tensió (VCA).....	13
3.4.4 Envoltant	13
3.4.5 Oscil·lador de baixa freqüència (LFO)	13
4. Producció electrònica del so	14
4.1 La resistència	15
4.2 El condensador	17
4.3 El díode	19
4.4 El transistor.....	21
4.4.1 El transistor bipolar.....	21
4.5 Els amplificadors operacionals	25
4.5.1 Configuracions principals	27
4.6 L'amplificador operacional de transconductància	29
4.6.1 Resistència controlada per corrent	33
4.6.2 Amplificador controlat per corrent	33
4.6.3 Integrador.....	34
4.7 Convertidor digital analògic.....	35
4.8 Temporitzador	35
4.9 FPGA.....	36

5.	Disseny de les parts.....	37
5.1	L'oscil·lador controlat per tensió (VCO).....	38
5.1.1	L'Oscil·lador principal.....	39
5.1.2	Generador dent de serra	42
5.1.3	Mesclador i control dels senyals d'entrada.....	43
5.1.4	Circuit final de l'oscil·lador controlat per tensió	45
5.2	El filtre controlat per tensió (VCF).....	47
5.3	L'amplificador controlat per tensió (VCA)	55
5.4	L'envoltant	60
5.5	L'oscil·lador de baixa freqüència (LFO)	64
5.6	Generació del senyal de control (CV)	67
6.	Muntatge i ajust de les parts.....	75
6.1	Oscil·lador controlat per tensió.....	76
6.2	Filtre controlat per tensió.....	78
6.3	Amplificador controlat per tensió.....	78
6.4	Oscil·lador de baixa freqüència.....	79
7.	Millores	80
8.	Pressupost.....	83
9.	Conclusions	88
10.	Bibliografia	90
11.	Annexos	91
11.1	Plaques de circuit imprès	91
11.2	Codi VHDL.....	101
11.2.1	Entrades de teclat.....	101
11.2.2	Assignació del valor del temps de cicle	102
11.2.3	Control octava	104
11.2.4	Generació del senyal PWM	105
11.2.5	Divisor de rellotge.....	106
11.2.6	Detector de flanc de pujada	107
11.3	Codi VHDL de les millores	107
11.3.1	Selecció del mode de treball.....	107
11.3.2	Control de l'encoder	108
11.3.3	Convertidor de binari a binari natural	109
11.3.4	Control del display de set segments.....	110
11.3.5	Generador de polsos per milisegon.....	111
11.3.6	Generació de polsos en funció del BPM.....	112

11.3.7 Gestió dels modes.....	112
11.4 Pins d'entrades i sortides	115

Índex d'il·lustracions

Il·lustració 3-1 Forma d'ona d'un senyal pur	4
Il·lustració 3-2 Forma d'ona resultant de la suma dels sis primers harmònics imparells.....	6
Il·lustració 3-3 Diagrama de blocs síntesi additiva.....	8
Il·lustració 3-4 Gràfiques generades amb Matlab (síntesi additiva).....	9
Il·lustració 3-5 Diagrama de blocs síntesi sostractiva	9
Il·lustració 3-6 Gràfica generada amb Matlab. Efectes de la modulació en freqüència.....	10
Il·lustració 3-7 Gràfiques comportament tensió en funció de la freqüència	11
Il·lustració 3-8 Filtre passa baixos	12
Il·lustració 3-9 Filtre passa alts.....	12
Il·lustració 4-1 Circuit sèrie	15
Il·lustració 4-2 Circuit paral·lel	16
Il·lustració 4-3 Interior d'un condensador	17
Il·lustració 4-4 Interior d'un díode	19
Il·lustració 4-5 Gràfica de comportament d'un díode.....	20
Il·lustració 4-6 Interior d'un transistor Bipolar	21
Il·lustració 4-7 Configuracions dels transistors bipolars	22
Il·lustració 4-8 Circulació de les intensitats per un transistor bipolar	22
Il·lustració 4-9 Exemple circuit amb transistor bipolar	23
Il·lustració 4-10 Gràfica de comportament d'un transistor.....	24
Il·lustració 4-11 Ubicació del punt de treball.....	25
Il·lustració 4-12 Símbol d'un amplificador operacional i el model ideal	25
Il·lustració 4-13 Circuit intern d'un operacional	26
Il·lustració 4-14 Simplificació circuit intern d'un operacional	27
Il·lustració 4-15 Configuració inversor.....	27
Il·lustració 4-16 Configuració no inversor.....	27
Il·lustració 4-17 Configuració sumador inversor.....	28
Il·lustració 4-18 Seguidor de tensió	28
Il·lustració 4-19 Integrador	28
Il·lustració 4-20 Circuit intern d'un amplificador de transconductància	29
Il·lustració 4-21 Simplificació circuit intern d'un operacional de transconductància	30
Il·lustració 5-1 Diagrama de blocs del disseny.....	37
Il·lustració 5-2 Esquemàtic del mòdul de l'oscil·lador controlat per tensió	38
Il·lustració 5-3 Circuit oscil·lant bàsic	39
Il·lustració 5-4 Simulació senyal triangular i quadrada (500µs/div 5v/div)	41
Il·lustració 5-5 Circuit conformador del senyal dent de serra	42
Il·lustració 5-6 Simulació dels senyals que intervenen en el conformador d'ona.....	43
Il·lustració 5-7 Circuit de control de les entrades	43
Il·lustració 5-8 Simulació del senyal de l'oscil·lador modulats per un senyal dent de serra provinent de l'oscil·lador de baixa freqüència (20ms/div 5v/div)	44
Il·lustració 5-9 Circuit mesclador	44
Il·lustració 5-10 Circuit final de l'oscil·lador controlat per tensió part 1	45
Il·lustració 5-11 Circuit final de l'oscil·lador controlat per tensió part 2	46
Il·lustració 5-12 Esquemàtic del filtre controlat per tensió.....	47
Il·lustració 5-13 Diagrama de blocs d'un filtre de segon grau	48
Il·lustració 5-14 Circuit integrador fet amb un OTA.....	48
Il·lustració 5-15 Circuit del filtre controlat per tensió.....	50
Il·lustració 5-16 Simulacions i diagrames de Bode. A) Passa alts B) Passa banda C) Passa baixos	52
Il·lustració 5-17 Simulacions i diagrames de Bode de la sortida passa baixos amb diferents valors de 'Q'	53

Il·lustració 5-18 Senyal a la sortida del filtre passa baixos modulats per l'oscil·lador de baixa freqüència (5ms/div 5v/div)	53
Il·lustració 5-19 Circuit final del filtre	54
Il·lustració 5-20 Esquemàtic de l'amplificador.....	55
Il·lustració 5-21 Circuit amplificador amb OTA.....	55
Il·lustració 5-22 Circuit d'adequació de les entrades de control	57
Il·lustració 5-23 Circuit final de l'amplificador.....	58
Il·lustració 5-24 Diferents simulacions de l'amplificador (5ms/div 5v/div)	59
Il·lustració 5-25 Efectes de la modulació en el amplificador	59
Il·lustració 5-26 Esquemàtic de l'envoltant	60
Il·lustració 5-27 Circuit detector de flanc	61
Il·lustració 5-28 Circuit per generar l'envoltant.....	62
Il·lustració 5-29 Circuit final de l'envoltant	63
Il·lustració 5-30 Simulació del senyal de sortida en funció del senyal d'entrada (100ms/div 5v/div)	63
Il·lustració 5-31 Esquemàtic de l'oscil·lador de baixa freqüència	64
Il·lustració 5-32 Circuit final de l'oscil·lador de baixa freqüència.....	64
Il·lustració 5-33 Simulació dels senyals obtinguts a la sortida de l'oscil·lador de baixa freqüència (20ms/div 5v/div)	66
Il·lustració 5-34 Esquemàtic del disseny implementat a l'FPGA.....	68
Il·lustració 5-35 Circuit del convertidor digital analògic	72
Il·lustració 5-36 Circuit imprès del teclat.....	73
Il·lustració 5-37 Circuit imprès del control d'octaves.....	73
Il·lustració 5-38 Simulacions del software implementat a l'FPGA.....	74
Il·lustració 6-1 Senyal del PWM a la sortida de la FPGA	75
Il·lustració 6-2 Sortida del convertidor sense cap nota presa	76
Il·lustració 6-3 Sortida del convertidor amb un LA de la quarta octava	76
Il·lustració 6-4 Senyal dent de serra i sincronisme	77
Il·lustració 7-1 Placa de control del mode i dels BPM.....	81
Il·lustració 7-2 Simulació de les millores	81
Il·lustració 7-3 Simulació de les millores dins el programa principal.....	82

Índex de taules

Taula 3-1 Freqüències escala musical	6
Taula 5-1 Estats diferents del mòdul de l'envoltant	61
Taula 5-2 Taula de freqüències de les octaves de la 1ª a la 6ª	69
Taula 5-3 Voltatge necessari a l'entrada del VCO en funció de la nota	70
Taula 5-4 Volts necessaris en nivell eficaç a la sortida de l'FPGA	70
Taula 5-5 Temps de cicle del senyal PWM	71
Taula 5-6 Valor del comptador	71
Taula 8-1 Pressupost total de l'oscil·lador controlat per tensió	83
Taula 8-2 Pressupost total del filtre controlat per tensió	84
Taula 8-3 Pressupost total de l'amplificador controlat per tensió	84
Taula 8-4 Pressupost total de l'envoltant	85
Taula 8-5 Pressupost total de l'oscil·lador de baixa freqüència	85
Taula 8-6 Pressupost total del convertidor	86
Taula 8-7 Pressupost total d'una part del teclat	86
Taula 8-8 Pressupost total del mòdul de selecció de mode i control dels cops per minut	86
Taula 8-9 Pressupost total del projecte	87

1. Introducció

1.1 Objectius

Aquest projecte engloba l'estudi, disseny i implementació d'un sintetitzador analògic. Per tant, l'objectiu principal és la fabricació d'un sintetitzador, però per arribar a aquest punt final es presenten tota una sèrie d'objectius particulars:

- Adquirir els conceptes necessaris referents al senyal acústic i conèixer les propietats musicals, així com la distribució de l'escala musical.
- Conèixer les diferents eines matemàtiques que intervenen en el procés de comprensió dels conceptes i en el posterior procés de disseny.
- Entendre que és la síntesi i el sintetitzador.
- Saber quines són les tècniques més utilitzades dins de la síntesi, i quines són les parts bàsiques que intervenen en un sintetitzador.

Un cop assolits els anteriors objectius, fer un disseny dels circuits electrònics corresponents a cadascuna de les etapes.

Fer les simulacions dels circuits dissenyats via software per tal de verificar el seu correcte funcionament. Posteriorment a la simulació, fer el muntatge en una *'protoboard'*, per tal de verificar de manera tangible el funcionament.

Finalment, es realitzarà el muntatge de tot el conjunt.

1.2 Finalitat

Tal i com es pot deduir dels objectius marcats, la realització d'aquest projecte queda dividida en tres etapes diferents. La primera de totes es basa en una recerca i estudi a tot el que fa referència a un sintetitzador. La segona consisteix en el disseny del prototip i per últim el muntatge i cal·libració final. L'estructura del redactat també s'ha realitzat seguint el format de les tres etapes.

2. Antecedents

2.1 El sintetitzador

Per conèixer millor aquest aparell a continuació s'explica d'una manera molt resumida quins són els seus orígens. Val a dir que els antecessors del sintetitzador únicament van ser una mena d'exercicis tecnològics que es van quedar en això i que no van transcendir mai.

El primer equip del qual es té notícia, rep el nom de *thelarmorium*. Va ser creat a l'inici del segle XX, concretament a l'any 1906 i va aparèixer publicat en una revista *Electrical world*, amb la firma del seu creador *Thaddeus Cahill*.

Posteriorment al *thelharmonium*, un doctor de la universitat de Iowa, anomenat *Carl Emil*, va inventar l'audímetre i va experimentar amb la creació de tons únicament generats amb electricitat.

El primer equip que es va considerar instrument, va ser el *Theremin*, inventat l'any 1923 per *Leon Theremin*. Aquest peculiar instrument, que no té cap mitjà de control visible funciona gràcies a dos oscil·ladors que generen altes freqüències, un d'ells és immune a qualsevol influència externa i l'altre si que ho és. D'aquesta manera gràcies a dues antenes que té incorporades podem modificar la freqüència únicament passant les mans entre aquestes antenes.

Al mateix any que va néixer el *theremin*, també apareix l'anomenat *trautonium*, creat per *Friederich Trautwien*. Aquest es pot considerar com a un dels primers instruments en crear sons a partir de la síntesi electrònica. Utilitzava com a generador, un oscil·lador de relaxació que gràcies a una bobina podia crear fins a 1200 notes per octava.

Al any 1939, es va presentar el *voder*, que actualment es considera com a sintetitzador però que va ser presentat, no com a instrument, sinó com a un aparell que podia representar la veu humana.

Arribat l'any 1955, els doctors *Harry Olson* i *Herbert Belar*, juntament amb RCA (*Radio Corporation of America*) van desenvolupar els dos primers sintetitzadors, el *Mark I* i el *Mark II*, aquest últim encara en funcionament en el *Columbia Princeton Electronic Music Center*. Es tracta d'un aparell immens i que va costar mig milió de dòlars. La tecnologia que utilitza és la tècnica de targeta perforada. Es tracta d'una banda de paper amb perforacions i permet el control de dos canals totalment independents. Cadascun d'aquest canals, té el control de cinc paràmetres musicals, freqüència, octava, timbre i volum. Tot i això, no té bones prestacions per crear música en directe o a temps real, ja que cadascuna de les propietats ha d'estar prèviament calculada i perforada en una banda de paper.

No és fins l'any 1964, que el doctor en enginyeria elèctrica *Robert Moog*, juntament amb el músic *Herbert Deutsch*, van desenvolupar rudimentaris oscil·ladors controlats per tensió, els quals eren una simple extensió dels transistors uni-únió que feia poc havien estat descoberts, juntament amb un amplificador de guany en forma d'amplificador diferencial. Poc després, *Moog* va dissenyar un filtre passa-alts i passa-baixos controlat per tensió. Va ser en aquets punt que gràcies a la col·laboració *Moog-Herbert*, van començar a aparèixer la resta d'elements que actualment són essencials dins els sintetitzadors.

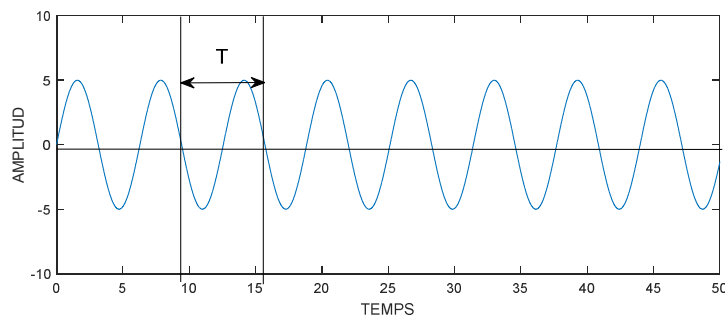
Va ser a la tardor de 1964, en una convenció de *Audio Engineering Society*. On, *Robert Moog* va presentar un treball escrit titulat com a *Mòduls per a música electrònica controlats per tensió*. Aquest escrit el podem trobar en anglès a la seva pàgina web www.moogmusic.com/legacy/voltage-controlled-electronic-music-modules. Per l'any 1965 l'empresa *Moog Music Inc.*, ja produïa una gran gamma de productes, tots modulars i amb una gran versatilitat i facilitat per ser utilitzats.

Una fita molt rellevant va ser la que van dur a terme *Wendy Carlos* i *Benjamin Folkman*. Aquests van crear una gravació d'un àlbum anomenat *Switched on Bach*, on s'hi escoltaven diferents partitures del compositor *Juan Sebastian Bach* tocadés únicament amb medis electrònics, entre ells el sintetitzador. Aquest àlbum, és l'únic àlbum de música clàssica que ha venut més còpies i a més a més, va ser disc de platí.

3. Coneixements previs

3.1 El senyal sonor

Tal i com ho defineix l'enciclopèdia catalana, el so es defineix com : *'Sensació que perceben els òrgans auditius, deguda al moviment pertorbador de la pressió i la densitat del medi material que els envolta, provocat per una vibració que es propaga en forma d'ona sonora.'* Resumint, entenem el 'so' com un senyal propagat a través d'un medi, és a dir que el so és un qualificatiu que se li ha donat a un tipus de senyal audible per l'esser humà. Aquest senyal tindrà unes característiques tals com el període, la freqüència i l'amplitud.



Il·lustració 3-1 Forma d'ona d'un senyal pur.

El senyal de la figura anterior, en realitat és un senyal simple o un senyal pur. Res a veure amb el senyal que s'obté a l'analitzar-lo amb un oscil·loscopi. Tot el so generat per la naturalesa, a més de la freqüència principal, produeix harmònics d'un volum més baix, a més cada un d'aquest harmònics manté una relació, i és que és un múltiple enter de la freqüència fonamental. De fet, un harmònic es descriu com a un senyal on la seva freqüència és múltiple entera del senyal que l'ha originat. Això ens porta a un teorema desenvolupat pel físic i matemàtic francès Jean-Baptiste Joseph Fourier, que a principis del segle XIX, va trobar la manera de com descompondre funcions periòdiques en sèries trigonomètriques convergents, anomenades *Sèries de Fourier*. Gràcies a aquesta eina matemàtica podem trobar els harmònics existents en un senyal.

Sigui $f(t)$ una funció periòdica amb període T , tals que, $f(t)=f(t+T)$. Llavors, es podrà descompondre en una suma de sinus i cosinus.

$$f(t) = \frac{a_0}{2} + \sum_n \left[a_n \cos\left(\frac{2\pi n}{T}t\right) + b_n \sin\left(\frac{2\pi n}{T}t\right) \right] \quad (3-1)$$

On, a_0 , a_i i b_i , són els anomenats coeficients de la sèrie de Fourier:

$$a_0 = \frac{1}{T} \int_{-\frac{T}{2}}^{\frac{T}{2}} f(t) dt \quad (3-2)$$

$$a_1 = \frac{2}{T} \int_{-\frac{T}{2}}^{\frac{T}{2}} f(t) \cos\left(\frac{2\pi nt}{T}\right) dt \quad (3-3)$$

$$b_1 = \frac{2}{T} \int_{-\frac{T}{2}}^{\frac{T}{2}} f(t) \sin\left(\frac{2\pi nt}{T}\right) dt \quad (3-4)$$

En el cas de senyals de so, el coeficient a_0 sempre és zero degut a que aquest coeficient ens determina el valor on es situa l'eix central, és a dir, el valor de repòs si no hi hagués cap vibració sonora.

Per demostrar aquest teorema, anem a descompondre un senyal quadrat en una sèrie trigonomètrica. L'expressió matemàtica que defineix el senyal és la següent:

$$y(t) = \begin{cases} 1 & 0 < t < \frac{T}{2} \\ -1 & \frac{T}{2} < t < T \end{cases} \quad \text{amb } T = 2\pi \quad (3-5)$$

El primer que s'ha de fer és trobar el valor de cadascun dels coeficients. Abans però una peculiaritat que tenen els coeficients, és que quan l'expressió matemàtica del senyal és del tipus parell, el coeficient b desapareix. En canvi quan el senyal és de tipus senar, llavors el coeficient a_0 i a_1 es fan 0.

Diem que una funció és parell si : $f(x) = f(-x)$

Diem que una funció és senar si: $-f(x) = f(-x)$

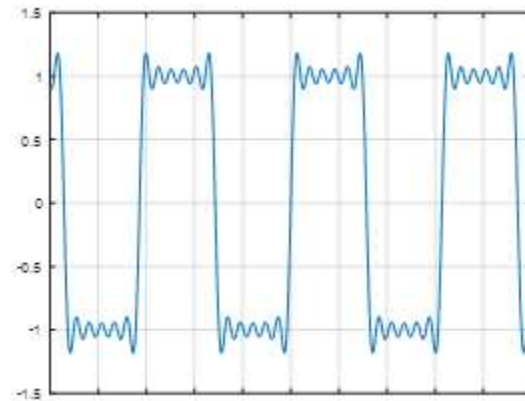
Com que en aquest cas és una funció senar els coeficients parells desapareixen, per tant si integrem per trobar el coeficient b_n :

$$b_n = \frac{2}{n * \pi} * [1 - (-1)^n] \quad \text{per } n \neq 0 \quad (3-6)$$

$$f(t) = \frac{4}{\pi} \sum_n \frac{[1 - (-1)^n]}{n} * \left[\sin\left(\frac{2\pi nt}{T}\right) \right] \quad (3-7)$$

$$f(t) \begin{cases} 0 & \text{per } n \text{ parell} \\ \frac{4}{n\pi} & \text{per } n \text{ senar} \end{cases} \quad (3-8)$$

Per poder formar una ona quadrada s'han de sumar tota una sèrie d'ones sinusoïdals, on la freqüència sigui múltiple de la fonamental i senar. A continuació es mostra la suma dels 6 primers harmònics :



Il·lustració 3-2 Forma d'ona resultant de la suma dels sis primers harmònics imparells

3.2 Característiques musicals

Abans d'entrar a explicar quines són les propietats i característiques del so, està bé que es faci una introducció a l'escala musical i als elements dels quals està composta. Es tracte d'un sistema format per un patró de dotze notes que es van repetint durant tot l'espectre audible de freqüències (20 Hz a 20000 Hz). Cada repetició d'aquestes dotze notes rep el nom d'octava. En la taula que es mostra a continuació, es pot veure quina és la freqüència corresponent a cada nota en funció de la octava.

NOTA	OCTAVA								
	1	2	3	4	5	6	7	8	9
DO	32,70	65,41	130,82	261,63	523,26	1046,52	2093,04	4186,08	8372,16
DO#	34,65	69,30	138,59	277,18	554,36	1108,72	2217,44	4434,88	8869,76
RE	36,71	73,42	146,83	293,66	587,32	1174,64	2349,28	4698,56	9397,12
RE#	38,89	77,78	155,57	311,13	622,26	1244,52	2489,04	4978,08	9956,16
MI	41,20	82,41	164,82	329,63	659,26	1318,52	2637,04	5274,08	10548,16
FA	43,65	87,31	174,62	349,23	698,46	1396,92	2793,84	5587,68	11175,36
FA#	46,25	92,50	185,00	369,99	739,98	1479,96	2959,92	5919,84	11839,68
SOL	49,00	98,00	196,00	392,00	784,00	1568,00	3136,00	6272,00	12544,00
SOL#	51,91	103,83	207,65	415,30	830,60	1661,20	3322,40	6644,80	13289,60
LA	55,00	110,00	220,00	440,00	880,00	1760,00	3520,00	7040,00	14080,00
LA#	58,27	116,54	233,08	466,16	932,32	1864,64	3729,28	7458,56	14917,12
SI	61,74	123,47	246,94	493,88	987,76	1975,52	3951,04	7902,08	15804,16

AMPLE DE BANDA								
29,03	58,06	116,13	232,25	464,50	929,00	1858,00	3716,00	7432,00

Taula 3-1 Freqüències escala musical

Si observem el gràfic, es pot veure que les freqüències per a cada nota són el doble a cada octava superior. El mateix passa amb l'amplada de banda, cada cop aquest es veu ampliat contenint el doble de l'espectre contingut anteriorment. Per tant, si s'observa des d'un punt de vista matemàtic podem deduir que es tracta d'una progressió geomètrica. De manera gràfica aquesta distribució queda de la següent manera:

L'oïda humana, juntament amb el cervell, han evolucionat de tal manera que a l' escoltar sons on les freqüències dels harmònics tenen una relació de $(\frac{2}{1}, \frac{3}{2}, \frac{4}{3}, \dots)$ els reconeixem com a sons agradables per a nosaltres.

Qualsevol so, com per exemple una nota simple de l'escala musical, es pot descriure especificant tres característiques pel que fa a la percepció:

- **Alta**, es descriu com la qualitat que permet distingir els sons greus dels aguts. Aquest paràmetre està relacionat amb la freqüència de l'ona sonora. És a dir, si es reproduïx una nota d'una octava com podria ser la 8, el senyal que s'observa seria d'una freqüència alta i se'l pot qualificar de agut.
- **Intensitat**, ens permet identificar la potència amb la qual es percep el so. En aquest cas està relacionat amb l'amplitud del senyal.
- **Timbre**, és la característica que ens permet distingir la font que ha generat aquest so. Això té relació amb la forma d'ona del senyal i per tant amb els harmònics que conté el senyal.

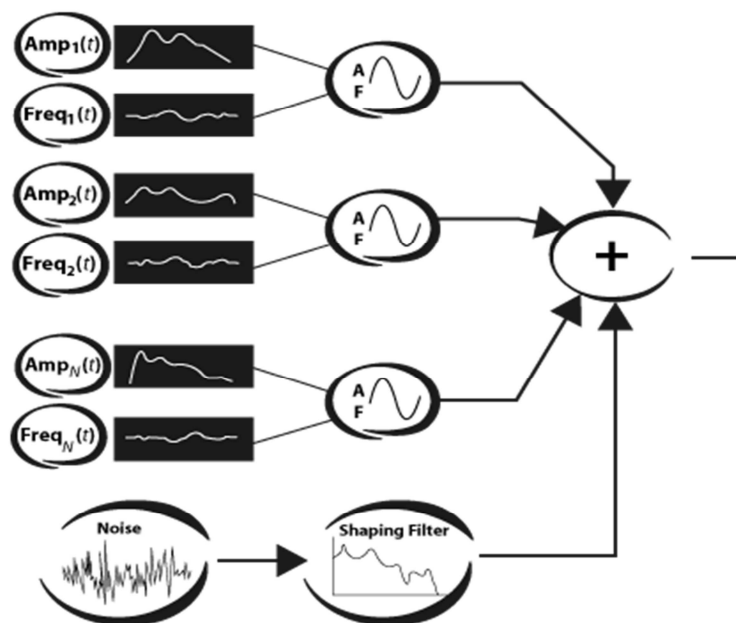
Existeix també una propietat, en aquest cas referent a la forma d'ona del senyal que ens permet distingir entre diferents instruments. Aquesta característica és l'envoltant o envoltant d'intensitat. Si agaféssim una gràfica on hi hagués la forma que té el senyal quan una nota es reproduïx, podem resseguir el seu contorn màxim i n'obtidrem un envoltant. Si fem el mateix amb el contorn mínim obtindrem el mateix envoltant però invertit. Aquest envoltant ens descriu la manera en que la intensitat del so creix i decreix. La causa d'aquest fet es deu a la tecnologia de cada instrument, és a dir si es tracta d'un instrument de corda, de vent, de percussió...

D'aquest senyal es distingeixen 4 zones diferents conegudes com la zona d'atac (A), zona de caiguda (D), zona de manteniment (S) i per últim la zona de relaxació (R). Durant la zona d'atac, el senyal ascendeix fins a arribar al seu màxim. Quan ha arribat en aquest màxim, disminueix fins a quedar estable, zona de caiguda. El temps en què aguanta estable és la zona de manteniment i quan cau fins a desaparèixer és la zona de relaxació.

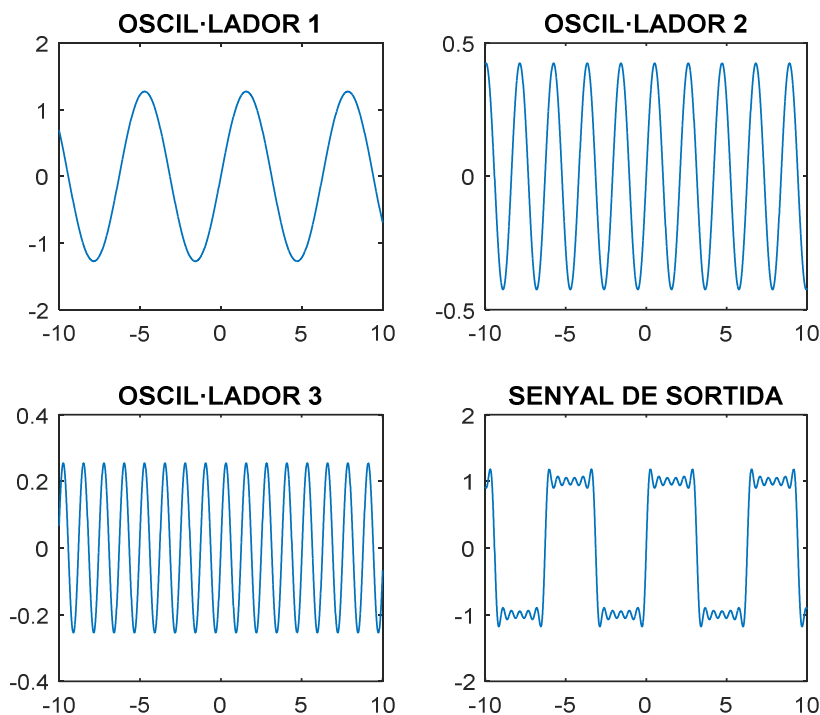
3.3 La síntesi

3.3.1 Síntesi additiva

La síntesi additiva consisteix a generar diversos senyals simples (sinodals) que quan es sumen generen un senyal complex. Aquesta tècnica de síntesi està basada en el teorema de Fourier, explicat anteriorment. A continuació es mostren dos gràfics on es pot veure d'una manera molt clara el funcionament de la tècnica. El primer gràfic mostra com amb la suma de tres senyals cadascun d'ells generat per un oscil·lador, s'arriba a crear una ona quadrada. En el segon, es mostra a través de blocs les parts bàsiques que intervenen en el procés de síntesi additiva.



Il·lustració 3-3 Diagrama de blocs síntesi additiva



Il·lustració 3-4 Gràfiques generades amb Matlab (síntesi additiva)

3.3.2 Síntesi sostractiva

La síntesi sostractiva, com ja hem vist al capítol anterior, és la tècnica dels primers sintetitzadors i la que s'ha implementat en aquest projecte. Actualment se segueix utilitzant degut a què és el procés més semblant al de tocar un instrument. També es coneix amb el nom de *Sintetitzador Modular*, ja que té la possibilitat d'afegir etapes amb total llibertat i creativitat. Causa d'això és la gran afició que hi ha dins la comunitat DIY (Do It Yourselfes), a crear i dissenyar mòduls per a qualsevol tipus de finalitat.

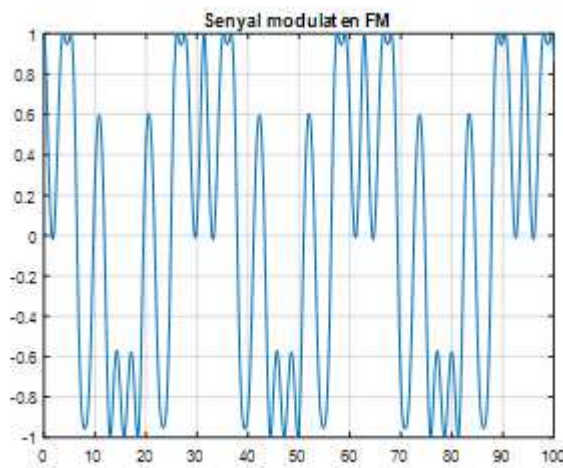
Com el seu propi nom indica 'sostrau', és a dir, tracte d'anar sostraint propietats a un senyal complex generat per un oscil·lador controlat per tensió (VCO). Podríem dir que és el procés invers al de la síntesi additiva. A continuació es pot veure d'una manera bastant general les diferents etapes que entren en joc.



Il·lustració 3-5 Diagrama de blocs síntesi sostractiva

3.3.3 Síntesi per modulació

Tal i com el seu nom indica, la síntesi es realitza mitjançant la modulació d'un senyal portador i un modulador. Concretament s'utilitza la modulació en freqüència modular (FM), tot i que la modulació en amplitud també s'utilitza.



Il·lustració 3-6 Gràfica generada amb Matlab. Efectes de la modulació en freqüència

3.4 Parts d'un sintetitzador

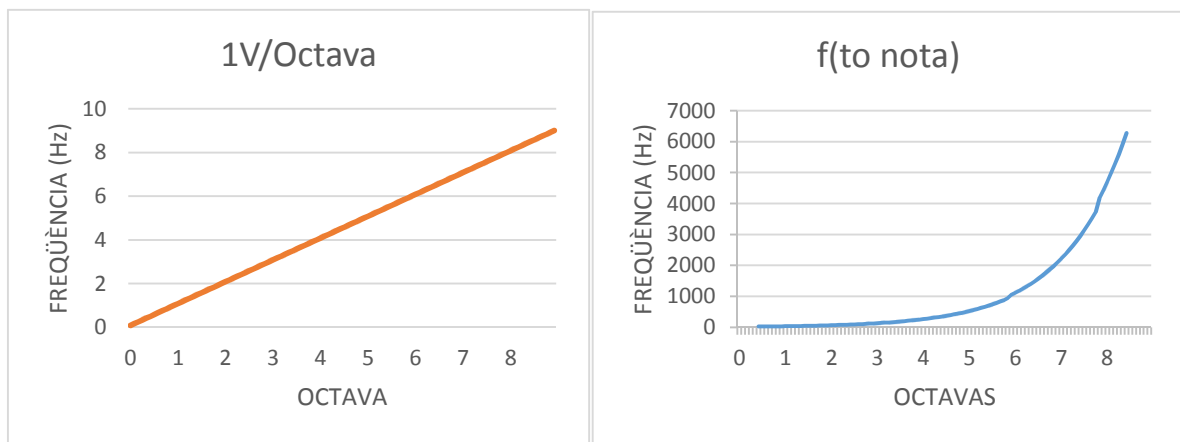
En aquest capítol es realitza una explicació detallada dels diferents mòduls que intervenen dins el procés de síntesi sostractiva i que, per tant, posteriorment es dissenyaran. Per a cadascuna de les parts s'exposen les entrades, sortides i controls necessaris. També s'hi explica el seu funcionament i quina de les propietats musicals es veuen afectades per cada un d'ells.

3.4.1 Oscil·lador controlat per tensió (VCO)

Aquesta etapa és la que ens definirà l'altura de la nota musical, és a dir ens determinarà la freqüència del senyal. També contribueix a definir quin serà el timbre que tindrà aquest senyal, ja que tenen la possibilitat de seleccionar quina forma d'ona hi haurà a la sortida. D'aquesta manera obre més la finestra de possibilitats de las quals disposa el músic per poder crear.

Les formes d'ona més comunes, són: la quadrada, la triangular, el dent de serra, sinusoidal, i una llarga llista de senyals. L'elecció del tipus de senyal no és arbitrari, sinó que cada una d'elles té unes característiques que la fan diferent a les altres..

Es tracte d'un oscil·lador que està controlat per tensió, és a dir, la freqüència a la sortida serà funció de la tensió a l'entrada. Aquesta relació està estandarditzada a 1V/Octava. Sabem que cada octava musical, està formada per 12 semitons, si dividim el volt entre dotze, obtindrem el voltatge per a cada un dels semitons, i si volem treballar una octava per sobre o per sota, només s'ha de sumar o restar un volt. Però si analitzem de quina manera queden els valors de freqüència en una gràfica, observarem que la relació un volt-octava no és igual a la real. Això provoca que la percepció de l'escala musical no sigui la desitjada. A continuació es mostren les dues gràfiques, a la dreta l'escala real de freqüències en funció de la nota i a l'esquerra la d' un volt-octava:



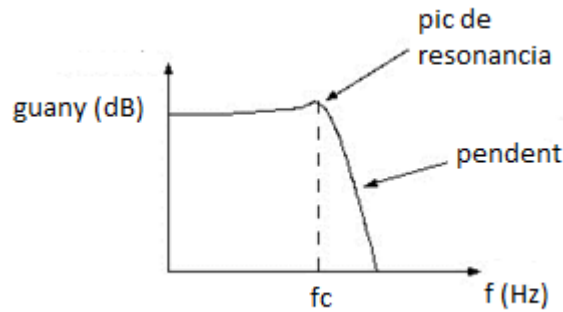
Il·lustració 3-7 Gràfiques comportament tensió en funció de la freqüència

Com observem en les gràfiques l'escala real té un comportament logarítmic, mentre que l'altre és totalment lineal. Aquest fet ens obliga a introduir un mòdul que ens transformi el senyal de control d'1v/octava, anomenada senyal CV (Control Voltatge), en a un senyal logarítmic. El mòdul en concret s'anomena circuit exponencial i l'únic propòsit que té és el de fer la conversió de lineal a exponencial.

3.4.2 Filtre controlat per tensió (VCF)

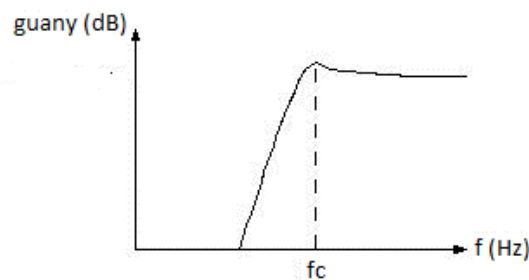
El filtre controlat per tensió és un dels mòduls indispensables dins d'un sintetitzador de síntesi sostractiva. Com el seu propi nom indica, té la missió de filtrar el senyal i és el que ens determinarà el timbre del senyal de sortida, és a dir en aquesta etapa escollirem els harmònics que vulguem o més ben dit, es sostrauran els harmònics no desitjats. La tensió de control pot ser el mateix senyal CV o el senyal de sortida de l'oscil·lador de baixa freqüència.

Existeixen diversos tipus diferents de filtre: passa-baixos, passa-alts, passa-banda i elimina-banda. A continuació les gràfiques representatives d'un filtre passa-baixos i un de passa-alts i les seves funcions de transferència:



Il·lustració 3-8 Filtre passa baixos. Font: <http://sam.atlantes.org/vcf.html>

$$H(s) = \frac{k}{s^2 + 2 * \xi * w_n * s + w_n^2} \quad (-9)$$



Il·lustració 3-9 Filtre passa alts. Font: <http://sam.atlantes.org/vcf.html>

$$H(s) = \frac{k * s^2}{s^2 + 2 * \xi * w_n * s + w_n^2} \quad (3-10)$$

Com es pot observar dels gràfics, els filtres tenen unes característiques com són la freqüència de tall, la ressonància, i la pendent de filtratge. La freqüència ens la dona el paràmetre W_n , que es conegut com a índex de pulsació $W_n = 2 * \pi * f$. La ressonància, ens la defineix el factor d'esmortiment ξ i pel que fa al pendent de filtratge queda determinat pel nombre de pols del filtre, és a dir, l'exponent d'S.

3.4.3 Amplificador controlat per tensió (VCA)

Aquest mòdul té la funció de regular el volum (amplitud) o més ben dit, la intensitat del senyal provinent del VCO i el VCF. Tal com s'ha explicat en l'apartat de les característiques musicals del so, hi ha una propietat que és l'envoltant d'intensitat. Doncs aquest bloc juntament amb el de l' ADSR, seran clau per determinar-la.

També està controlat per tensió, això vol dir que el guany que hi haurà a la sortida serà funció del voltatge que s'hi apliqui a la seva entrada de control. Aquest senyal de control prové del mòdul del ADSR o del LFO.

3.4.4 Envoltant

Aquesta etapa té l'objectiu de generar una envoltant que delimitarà els límits del senyal de sortida i per tant, l'aplicarem a l'entrada de control del VCA. Com s'ha parlat en apartats anteriors, una envoltant d'intensitat està definida per quatre zones. Doncs és aquí on queden definides, normalment a través de potenciòmetres lliscants.

En aquest apartat, els senyals que intervenen són els senyals conegudes com a senyals *gate* i *trigger* . La primera és un senyal binari que està en estat alt mentre hi hagi una nota pulsada. La segona també és un senyal binari i s'utilitza com a disparar el generador d'envoltant, també es pot utilitzar per sincronitzar diferents oscil·ladors.

3.4.5 Oscil·lador de baixa freqüència (LFO)

L'oscil·lador de baixa freqüència, té una freqüència d'oscil·lació de com a molt 20Hz. Aquest nivell de freqüència és inaudible per l'oïda humana. El que es pretén amb l'oscil·lador de baixa freqüència, és modular el senyal tant de l'oscil·lador principal com del filtre i de l'amplificador.

Quan el senyal generat per aquest oscil·lador ataca a l'entrada de control del oscil·lador controlat per tensió, podem aconseguir un efecte conegut amb el nom de '*vibrato*'. Des d'un punt de vista tècnic, l'efecte que té sobre l'oscil·lador és un efecte modulador, concretament una modulació de freqüència. Quan ataca al filtre obtenim un efecte anomenat '*wha-wha*'. Consisteix a fer desplaçar la freqüència de tall del filtre. Per últim si apliquem el senyal a l'amplificador, aconseguirem un efecte anomenat '*tremolo*'. També té un efecte modulador, però en aquest cas és una modulació d'amplitud.

4. Producció electrònica del so

En aquest apartat es mostren quins elements electrònics s'han fet servir. S'explica de manera conceptual el funcionament i de quina manera afecten dins dels circuits. Arribats en aquest punt es fa necessari parlar d'unes lleis molt simples. Aquestes lleis, concretament dues, són les anomenades lleis de *Kirchoff*.

La primera anomenada llei de corrents de *Kirchoff* diu el següent: la suma de corrents que entren en un node és igual a la suma de corrents que surten del mateix node, el que és el mateix el sumatori de tots els corrents que entren o surten d'un node són igual a zero.

$$\sum_{i=0}^i i_i = 0 \quad (4-1)$$

La segona, anomenada llei de voltatges de *Kirchoff*, diu: en un camí tancat o malla, la suma dels increments de tensió, és igual a la suma de les caigudes de tensió. La suma algebraica de les tensió al llarg d'una malla és igual a zero.

$$\sum_{i=0}^i v_i = 0 \quad (4-2)$$

$$\sum_{i=0}^i v_i = 0 \quad (4-3)$$

Diem que un node és un punt del circuit en què conflueixen dos o més conductors diferents. A més a més, si entre dos nodes no hi ha cap diferència de potencial, es consideren el mateix node. Entre node i node hi ha el que s'anomenen branques, i una branca és la part del circuit que viatja entre dos nodes. Per últim una malla es defineix com un circuit tancat que es pot recórrer sense passar dos cops pel mateix lloc. La complexitat d'un circuit depèn del nombre de nodes i branques que té, no del nombre de components.

4.1 La resistència

Es denomina resistència elèctrica a l'oposició que pateixen els electrons al travessar un conductor. La unitat en el sistema internacional és l'ohm, que es representa amb la lletra grega Ω , en honor al físic alemany Georg Ohm. La resistència matemàticament es defineix com:

$$R = \rho \frac{l}{S} \quad (4-4)$$

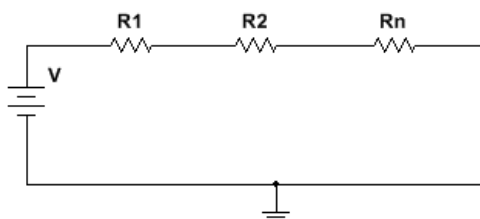
On ρ és el coeficient de proporcionalitat o la resistivitat d'un material, l és la longitud del material i S la secció del material. Per tant la resistència d'un material és directament proporcional al seu coeficient de resistivitat i la seva longitud, i és inversament proporcional a la secció del material. D'una manera més pràctica podem afirmar que contra més llarg sigui l'element conductor més resistència oferirà, però si el gruix d'aquest material l'augmentem llavors baixarà.

Es podria dir, que les resistències són l'element més present en qualsevol circuit electrònic. La funció que tenen és la de dificultar el pas del corrent, és a dir, ofereix una resistència al flux d'electrons que circulen a través d'ella. Degut a això, podem controlar tant la tensió com la intensitat per tal d'obtenir els efectes desitjats. L'eina utilitzada per determinar quin és el valor resistiu per cada cas, és la coneguda llei d'ohm. La llei d'ohm ens relaciona tres magnituds entre elles com són la intensitat (A), la diferència de potencial o voltatge (V) i la resistència (ohm), i les relaciona de la següent manera:

$$I = \frac{V}{R} \quad (4-5)$$

Associació de resistències en sèrie i paral·lel:

Es diu que un conjunt de resistències està en sèrie, quan els terminals de cada una d'elles està connectat de manera seqüencial, i cadascun dels elements és travessat pel mateix corrent. Així doncs



Il·lustració 4-1 Circuit sèrie

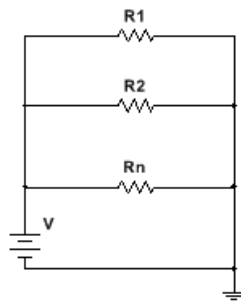
$$IR_1 = IR_2 = IR_n = IR_T \quad (4-6)$$

$$IR_T * R_1 + IR_T * R_2 + IR_T * R_n = IR_T * R_T \quad (4-7)$$

D'aquesta manera podem afirmar que el valor resistiu és igual a :

$$R_t = R_1 + R_2 + R_n \quad (4-8)$$

Es diu que un conjunt de resistències esta en paral·lel, quan els terminals d'una banda estan connectats a un únic nus i l'altre banda a un altre nus. A més a més, totes les resistències estan sotmeses a la mateixa tensió.



Il·lustració 4-2 Circuit paral·lel

$$VR_1 = VR_2 = VR_n = VR_T \quad (4-9)$$

$$IR_1 + IR_2 + IR_n = IR_t \quad (4-10)$$

$$\frac{VR_T}{R_1} + \frac{VR_T}{R_2} + \frac{VR_T}{R_n} = \frac{VR_T}{R_T} \quad (4-11)$$

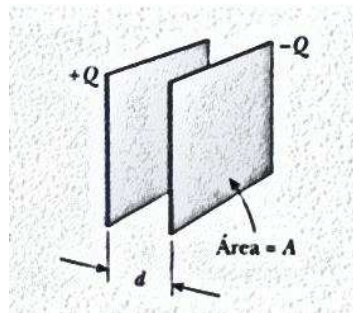
En aquest cas podem deduir que:

$$R_T = \frac{1}{\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_n}} \quad (4-12)$$

Els potenciómetres i *trímeters* tenen el mateix efecte que una resistència però en aquest cas són regulables. Això ens pot ajudar a calibrar segons quines tensions o intensitats dins d'una zona d'un circuit per tal de fer un ajust acurat.

4.2 El condensador

Els condensadors són uns elements passius, que tenen la capacitat d'emmagatzemar quantitats de voltatge determinats. Això ho aconseguen gràcies a una propietat física anomenada capacítància o capacitat elèctrica. Si es disposen dos conductors (veure següent figura) amb càrregues d'igual magnitud però de signe oposat, enfrontats l'un amb l'altre i amb una distància de separació entre elles, apareix una diferència de potencial entre un punt i un altre, és a dir, apareix un voltatge. Amb l'ajut del dibuix i l'anterior explicació podem deduir aquestes dues equacions:



Il·lustració 4-3 Interior d'un condensador.

$$C = \sigma * \frac{A}{d} \quad (4-13)$$

$$C = \frac{Q}{\Delta V} \quad (4-14)$$

On σ és la constant dielèctrica del material que hi ha entre un conductor i l'altre. A és l'àrea i d la separació entre elles. C és la capacítància i la seva unitat de mesura en el Sistema Internacional és el farad, en honor a Michael Faraday.

Ara, col·loquem el condensador en un circuit elèctric i fem que hi circuli intensitat. Aquesta seguirà circulant a través del circuit i farà augmentar la càrrega del condensador. Si la càrrega del condensador és igual a la càrrega subministrada per la font, deixarà de circular intensitat i el condensador quedarà carregat, fins que d'alguna manera la font quedi desconectada i el circuit tancat. Si això passa, el condensador començarà a descarregar-se fent circular de nou una intensitat en sentit contrari al de càrrega. Podem dir, que el condensador té dos comportaments segons si s'està carregant o descarregant.

Quan el condensador s'està carregant, l'equació que el caracteritza és la següent:

$$V(c) = V_{inicial} \left(1 - e^{-\frac{t}{RC}} \right) \quad (4-15)$$

$$I = \frac{V_{inicial}}{R} (e^{-\frac{t}{RC}}) \quad (4-16)$$

Quan el condensador es descarrega, el comportament té aquest aspecte:

$$V(c) = V_{inicial} e^{-\frac{t}{RC}} \quad (4-17)$$

$$I = -\frac{V_{inicial}}{R} (e^{-\frac{t}{RC}}) \quad (4-18)$$

On $V(c)$ és la tensió del condensador, $V_{inicial}$ és la tensió que hi havia en l'instant en que a començat a circular intensitat a través del condensador, RC és la constant de càrrega també coneguda com a *tau* (τ) i t és el temps que ha passat des de que el condensador a començat a carregar-se. En canvi quan el corrent que travessa el condensador és constant, el comportament de càrrega canvia. En aquest cas es comporta de manera linial.

$$V(c) = V_{inicial} - \frac{1}{C} \int_0^T i \, dt \quad (4-19)$$

$$V(c) = V_{inicial} - \frac{i}{C} t \quad (4-20)$$

Aquests comportaments són vàlids tant en corrent continu com en corrent altern, ara bé, quan hi ha un corrent altern travessant el condensador, aquest ofereix una resistència al pas del corrent anomenada impedància capacitiva (X_C) que equival a la inversa del producte de la capacitat i l'índex de pulsació ($\omega = 2 * \pi * f$). Com podem observar, l'índex de pulsació és funció de la freqüència, és per això que només tenim impedància capacitiva en corrent

altern, concretament quan la freqüència és '0' (corrent continu) la impedància és infinita. Per aquest motiu es diu que un condensador en corrent continu és com un interruptor obert.

$$X(c) = 1/(w * C)$$

(4-21)

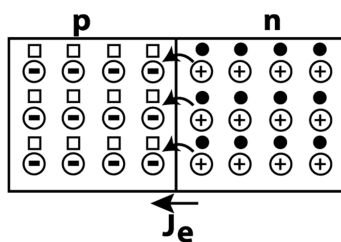
4.3 El díode

Per entendre el comportament d'un díode, s'ha de conèixer com i de quin material està fabricat. Aquests tipus de component estan construïts amb materials semiconductors com el silici, el germani... elements que formen un enllaç covalent entre ells. Aquests tipus d'enllaç solen ser mal conductors degut a la dificultat d'arrabassar els electrons de l'última capa. Ara bé, si en el procés de fabricació s'hi afegeixen elements de la taula periòdica, els quals tinguin 5 electrons de valència i per altra banda 3 electrons de valència, s'aconsegueixen parts on hi ha dèficit d'electrons i parts on hi ha excés. Aquestes parts s'anomenen cristall N i cristall P.

Cristall N és la part on s'ha introduït un element amb 5 electrons sobrants, normalment aquest element és l'arseni. Aquesta part ara quedarà amb alguns electrons lliures gràcies a l'arseni. D'aquesta manera, el cristall ara es comporta com a conductor.

Cristall P és la que està dopada amb elements amb 3 electrons de valència com per exemple l'indi. A diferència del que passava anteriorment, ara el cristall queda inestable, és a dir, queden espais buits d'electrons.

Quan s'uneix un cristall N i un cristall P, s'aconsegueix el semiconductor com a element electrònic. A l'ajuntar aquests dos cristalls es forma una banda d'unió anomenada banda d'unió PN, que aquesta banda degut a la interacció entre els dos cristalls queda estable, és a dir sense polarització. A l'extrem del cristall P se l'hi diu Ànode i a l'altre extrem se l'hi diu Càtode.



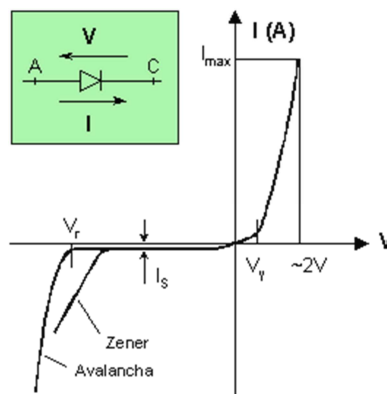
Il·lustració 4-4 Interior d'un díode

Si a través del díode hi fem circular un corrent d'ànode a càtode, es diu que està polaritzat en inversa. Si en canvi hi fem circular un corrent de càtode a ànode, diem que està polaritzat en directa.

Per polaritzar un díode en directe, el primer que s'ha de fer és connectar a l'ànode, el terminal positiu d'alguna font de tensió, i al càtode, el terminal negatiu. Quan es tanca el circuit, els electrons lliures de la zona n queden atrets per els espais del enllaços de la zona p. Fent que es redistribueixin tots els electrons de les dues zones. Quan entre aquestes dues zones hi ha una força suficient, anomenada força de desplaçament, els electrons lliures salten fins la zona p, llavors es quan es diu que el díode està conduint. Aquesta força és de 0,7 V en díodes fets de silici i de 0,3 V en díodes fets de germani.

Si ara canviem i connectem el terminal positiu de la font al càtode i el negatiu a l'ànode, estem polaritzant el díode en inversa. Els electrons del cristall n es veuran atrets pel terminal negatiu de la font. Els espais lliures d'electrons del cristall p estaran atrets pel terminal positiu de la font. Això farà que la zona d'unió augmenti fent-se més gran i per contra cada cop més lluny d'establir un corrent. Ara bé, si la tensió de la font creix fins a l'anomenada tensió de ruptura, s'establirà un corrent anomenat corrent de ruptura. Aquest fet provocarà que el díode es trenqui.

A continuació es pot veure la corba característica entre tensió-intensitat del díode:



Il·lustració 4-5 Gràfica de comportament d'un díode

$$I = I_s * (e^{\frac{V}{\eta * V_T}} - 1)$$

(4-22)

On I_s , és la corrent de saturació inversa, η és una constant que val entre 1 i 2, i $V_T = K \cdot T$ on k és la constant de Boltzman $8.62 \cdot 10^{-5} \frac{eV}{^\circ K}$ i T és la temperatura en graus kelvin.

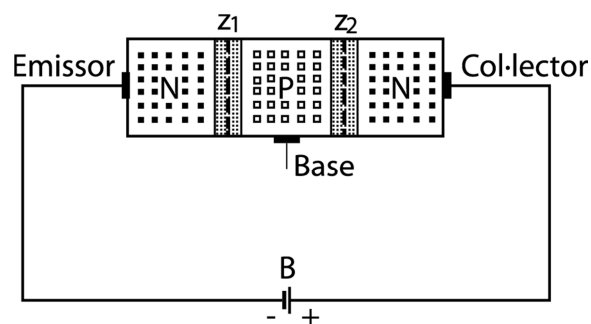
Per tant podem definir que el díode es comporta coma un interruptor obert quan esta polaritzat en inversa i si està connectat en directe, com un interruptor tancat amb una caiguda de tensió entre ànode i càtode equivalent a V_D .

4.4 El transistor

El transistor és un component electrònic semiconductor que ens dona un senyal de sortida en resposta a un senyal d'entrada. El seu descobriment va crear un abans i un després en el món de l'electrònica i de la tecnologia. Hi ha dos grans grups de transistors, els transistors d'unió bipolar (BJT) i els transistors d'efecte camp (MOS).

4.4.1 El transistor bipolar

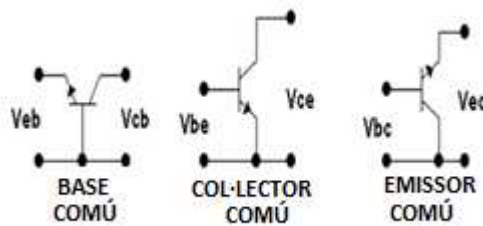
El transistor bipolars és un component electrònic amb tres terminals, la base, el col·lector i l'emissor. Internament està constituït per material semiconductor. Per tant, com s'ha vist en l'apartat anterior dels díodes, hi ha dos tipus de cristalls, els de tipus N i els de tipus P. Com que els transistors tenen tres terminals es dona la possibilitat de construir dues classes diferents de transistors, els NPN i els PNP. En els NPN la base està connectada al tipus P i col·lector i emissor al N. Així dons l'aspecte que té un transistor és el següent:



Il·lustració 4-6 Interior d'un transistor Bipolar

Existeixen tres configuracions del transistor que són: la de Base comú amb un guany unitari, una resistència d'entrada petita i resistència de sortida molt elevada. Col·lector comú que té un guany molt elevat, la resistència d'entrada molt elevada i la de sortida molt petita. La configuració d'Emissor comú té un

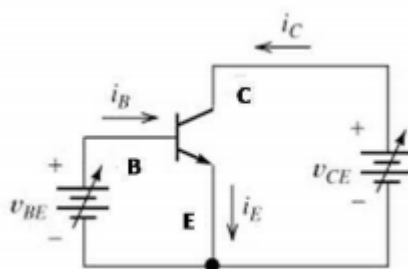
guany elevat, una resistència d'entrada petita i la de sortida relativament elevada.



Il·lustració 4-7 Configuracions dels transistors bipolars

A part de les propietats que ens dona cadascuna de les configuracions, el transistor pot treballar de tres maneres diferents, anomenades zona de tall, de saturació i activa. Quan el transistor es troba en zona de tall el corrent que circula entre col·lector i emissor és 0 mentre que la tensió entre col·lector i emissor és V_{CC} . Quan treballa a la zona de saturació, succeeix tot el contrari que abans, la intensitat de col·lector serà màxima i la tensió entre col·lector i emissor serà pràcticament 0. Per últim, quan està en zona activa la tensió i intensitat seran funció de diferents paràmetres.

A continuació es realitza un anàlisi per tal de definir els quins són els paràmetres més importants dins del transistor. Ens basarem en una estructura NPN, on l'emissor i el col·lector són les parts N i la base és la part P. L'emissor en aquest cas està més dopat que no pas el col·lector. D'aquesta manera podrà aportar més electrons lliures al corrent. A continuació hi ha una configuració en emissor comú:



Il·lustració 4-8 Circulació de les intensitats per un transistor bipolar

Si ens ajudem de la figura anterior i observem les unions podem dir que la unió base emissor, està polaritzada en directe, i la unió base col·lector en inversa.

Si apliquem la primera llei de *Kirchoff* al BJT obtenim que:

$$i_E = i_B + i_C \quad (4-23)$$

Existeix un paràmetre en els transistor, representat com a α i és el quocient entre el les corrents de col·lector i d'emissor:

$$\alpha = \frac{i_C}{i_E} \cong 0,9 \quad (4-24)$$

Com que se sap que la unió base-emissor és una unió PN (igual que en un díode) podem deduir la següent equació:

$$i_E = i_{ES} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \quad (4-25)$$

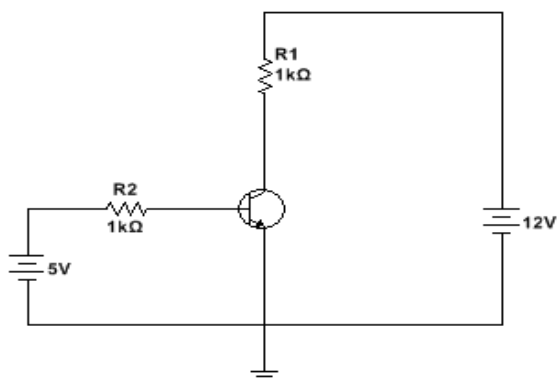
Si la tensió entre base i emissor creix a la unitat o més, es pot deprecia la part corresponent a l'exponencial. Si a part substituïm el corrent d'emissor pel corrent de base, obtenim:

$$i_B = (1 - \alpha) * i_E \quad (4-26)$$

D'aquesta última igualtat podem definir un altre paràmetre que és:

$$\beta = \frac{i_C}{i_B} = \frac{\alpha}{1 - \alpha} \quad (4-27)$$

Aquest últim paràmetre que s'ha definit és bastant important a l'hora d'analitzar circuits amb transistors, ja que ens relaciona les dues malles diferents que hi ha en un transistor. Així doncs ja es pot fer l'anàlisi de malles de qualsevol circuit fet amb transistors. A continuació s'analitza el circuit de la següent figura. Per començar, aplicarem la segona llei de *Kirchoff* a les dues malles:



Il·lustració 4-9 Exemple circuit amb transistor bipolar

Malla BE :

$$V_{BB} = V_{RB} + v_{BE} \quad (4-28)$$

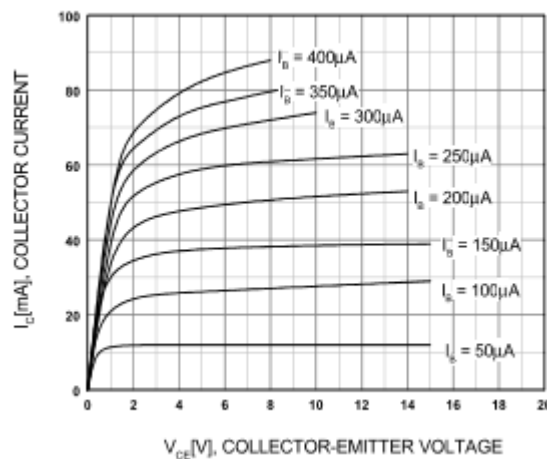
$$V_{BB} = i_B * R_B + v_{BE} \quad (4-29)$$

Malla CE:

$$V_{CC} = V_{RC} + v_{CE} \quad (4-30)$$

$$V_{CC} = i_C * R_C + v_{CE} \quad (4-31)$$

Un cop conegudes les dues equacions de les malles, s'ha d'ubicar el punt de treball del transistor. Per tal d'ubicar aquest punt, es necessari conèixer la gràfica del comportament del transistor en qüestió, aquesta la podem extreure del full de característiques que el fabricant ens proporciona.



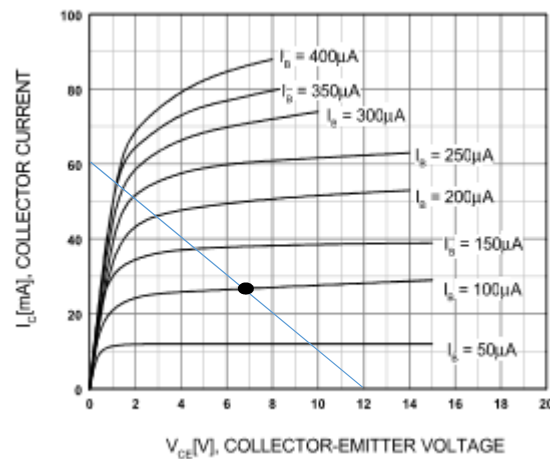
Il·lustració 4-10 Gràfica de comportament d'un transistor

Primerament, per tal d'ubicar el punt de treball, s'agafa l'equació de la malla col·lector emissor i es substitueixen els valors V_{CE} i I_C per tal de conèixer la tensió de tall ($I_C = 0$) i el corrent de saturació ($V_{CE} = 0$).

$$V_{CC} = I_C * R_C + V_{CE} \quad (4-32)$$

$$V_{CE} = 0 \rightarrow I_C = \frac{V_{CC}}{R_C} \quad (4-33)$$

$$I_C = 0 \rightarrow V_{CE} = V_{CC} \quad (4-34)$$

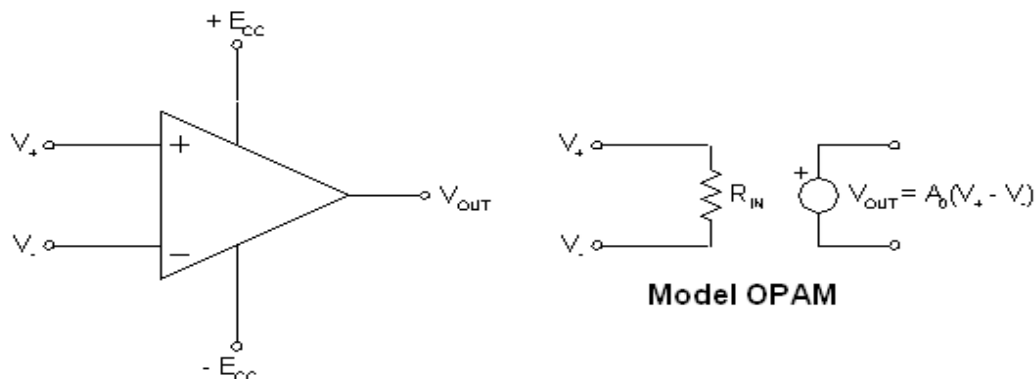


Il·lustració 4-11 Ubicació del punt de treball

Un cop ubicada la recta que va des de tensió de tall fins a intensitat de saturació, hem de buscar quina serà la intensitat que circuli per la base per tal d'ubicar el punt de treball en algun lloc de la recta.

4.5 Els amplificadors operacionals

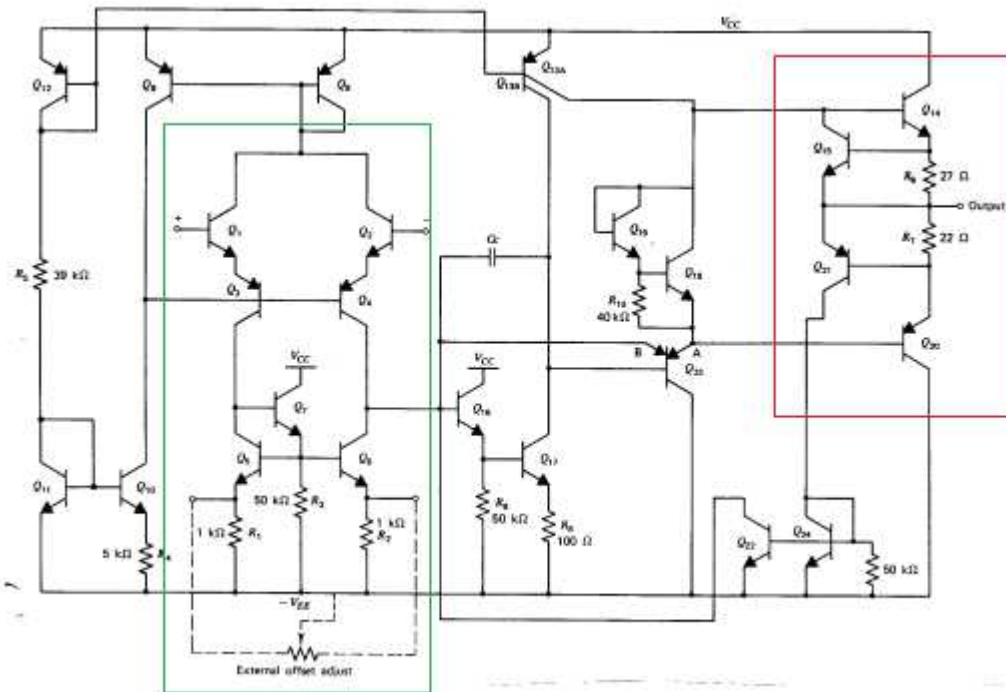
Un amplificador operacional és un dispositiu que actua com a font de tensió controlat per tensió, amb un guany ideal que tendeix a l'infinit. Aquest tipus d'element, té dos terminals d'entrada i un únic terminal de sortida. A més de tenir dos terminals d'alimentació, idealment, un amplificador operacional té una resistència d'entrada infinita i per altre banda una resistència de sortida igual a zero. A continuació es veu el model ideal:



Il·lustració 4-12 Símbol d'un amplificador operacional i el model ideal

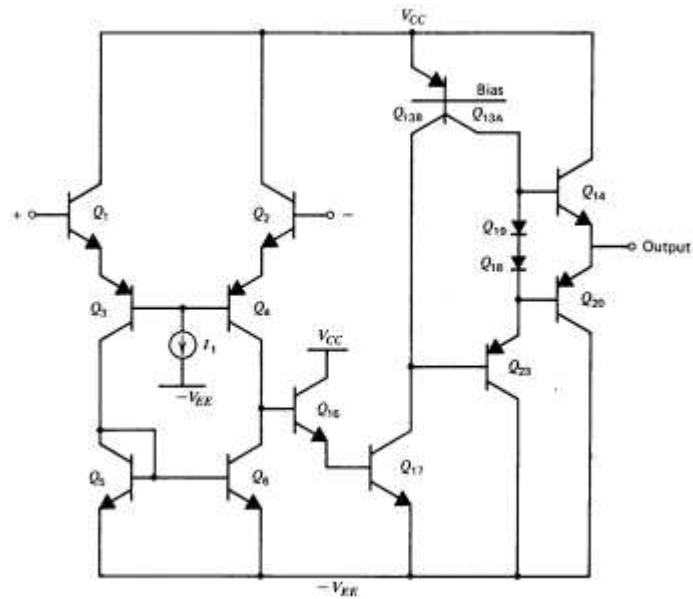
Internament està format per tres etapes diferents, una primera etapa consta d'un amplificador diferencial, on s'amplifica la diferència entre les dues

entrades. L'altre etapa és un adaptador de corrent i l'altre és un amplificador de tensió push&pull que és la etapa amb més guany de totes. A continuació es pot veure el que podria ser la configuració interna d'un operacional, en aquest cas es tracte d'un tl071 de NI.



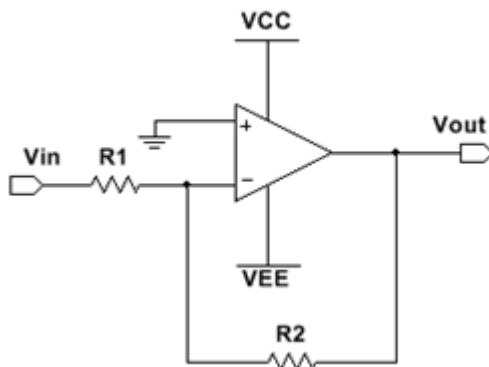
Il·lustració 4-13 Circuit intern d'un operacional

L'etapa d'entrada (zona verda), està constituïda per una configuració en mode diferencial feta amb transistors bipolars i miralls de corrents per controlar el pas d'intensitat. La zona vermella és l'etapa d'amplificació de sortida. Quasi tota la totalitat dels components existents són transistors, hi ha alguna resistència per fixar els corrents i un condensador de compensació. Per tal de fer un estudi més fàcil, es pot fer una simplificació on només hi apareguin la etapa diferencial, la d'adaptació i el push-pull final.



Il·lustració 4-14 Simplificació circuit intern d'un operacional

4.5.1 Configuracions principals



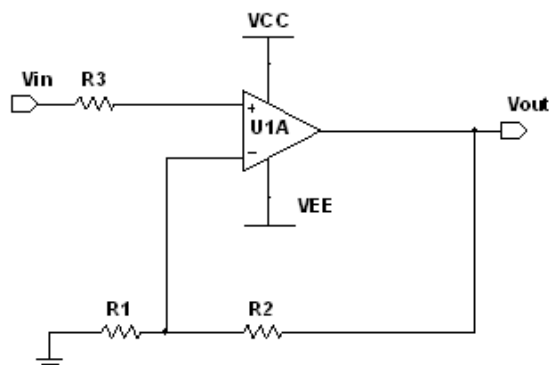
$$i_{R1} = i_{R2}$$

$$\frac{V_{in} - V^{-}}{R1} = \frac{V^{-} - V_{out}}{R2}$$

$$V^{+} = V^{-} = 0$$

$$V_{out} = -\frac{R2}{R1} * V_{in}$$

Il·lustració 4-15 Configuració inversor



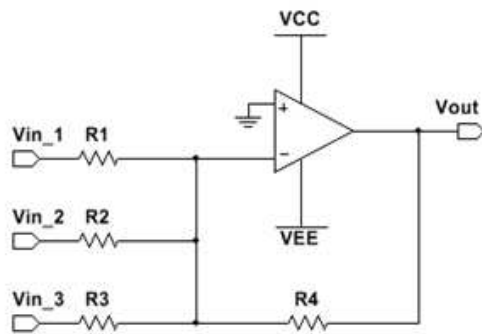
$$V_{in} = V^{+}$$

$$V^{-} = \frac{V_{out} * R1}{R2 + R1}$$

$$V^{+} = V^{-}$$

$$V_{out} = \left(1 + \frac{R2}{R1}\right) * V_{in}$$

Il·lustració 4-16 Configuració no inversor



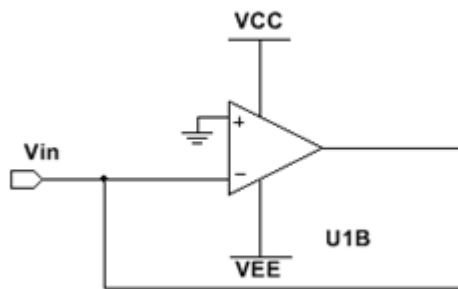
$$i_{R1} + i_{R2} + i_{R3} = i_{R4}$$

$$\frac{V_{in1} - V^-}{R1} + \frac{V_{in2} - V^-}{R2} + \frac{V_{in3} - V^-}{R3} = \frac{V^- - V_{out}}{R4}$$

$$V^- = V^+ = 0$$

$$V_{out} = -R4 * \left(\frac{V_{in1}}{R1} + \frac{V_{in2}}{R2} + \frac{V_{in3}}{R3} \right)$$

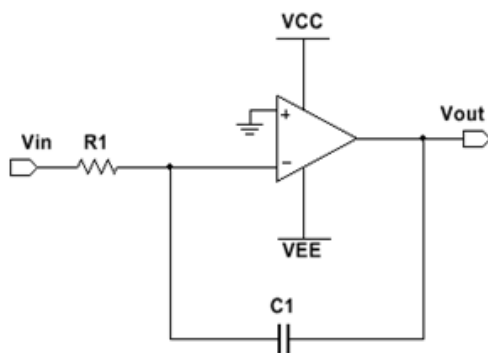
Il·lustració 4-17 Configuració sumador inversor



$$R_{in} \rightarrow \infty$$

$$V_{in} = V_{out}$$

Il·lustració 4-18 Seguidor de tensió



$$i_{R1} + i_{C1} = 0$$

$$\frac{V_{in} - V^-}{R1} + C * \frac{dV}{dt} = 0$$

$$\frac{V_{in} - V^-}{R1} + C * \frac{d(V^- - V_{out})}{dt} = 0$$

$$V^- = V^+ = 0$$

$$\frac{V_{in}}{R1} - C * \frac{dV_{out}}{dt} = 0$$

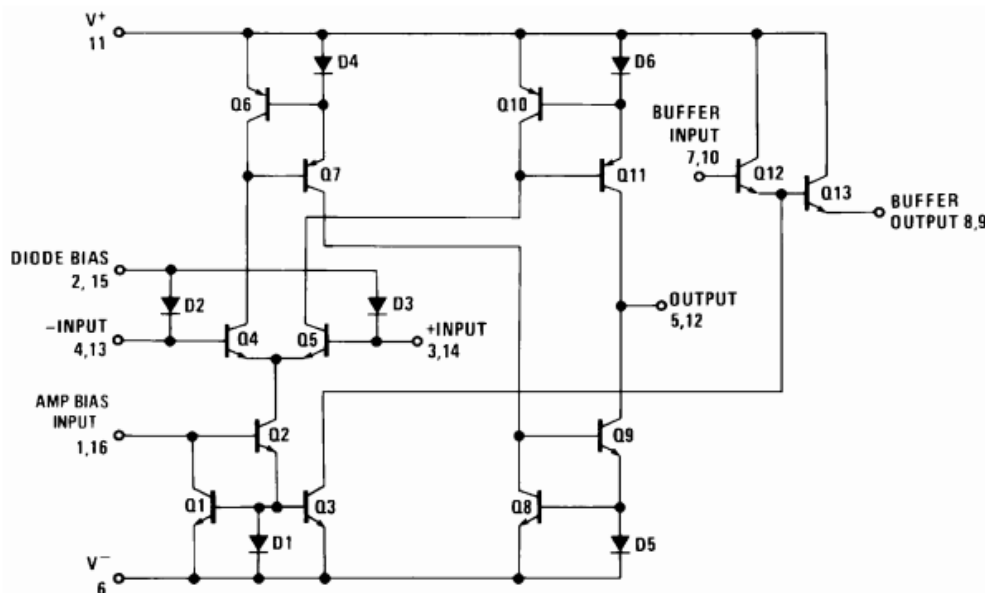
Il·lustració 4-19 Integrador

4.6 L'amplificador operacional de transconductància

Els amplificadors operacionals de transconductància són dispositius que en comptes de ser una font de tensió controlada per tensió i amb una impedància de sortida petita, aquests actuen de font de corrent d'alta impedància controlada per tensió. Aquest tipus d'operacionals incorporant un nou paràmetre que és la transconductància o conductància mútua $\{g_m\}$, les seves unitats són els Siemens, i es defineix com; la relació entre la variació de la corrent que produeix una variació a la tensió. Matemàticament:

$$g_m = \frac{\Delta I}{\Delta V} \quad (4-35)$$

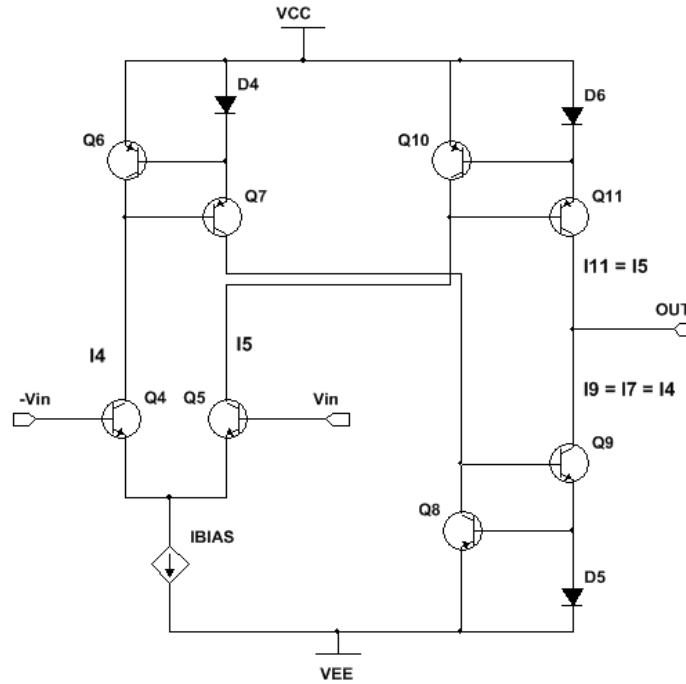
Internament estan construïts per transistors i díodes tal i com es pot veure a la següent figura extreta del full de característiques del "lm13700".



Il·lustració 4-20 Circuit intern d'un amplificador de transconductància

Dins d'aquesta estructura podem observar diferents zones com són, per una banda una entrada diferencial que és la formada per els transistors Q4 i Q5, un buffer de sortida format pels transistors Q12 i Q13 i quatre miralls de corrent.

El mirall format pels transistors Q1, Q2 Q3 i el díode D1 està controlat per l'entrada I_{BIAS} , que a través de la base de Q2 determina el corrent que circularà per l'entrada diferencial. Per tal d'entendre millor el funcionament a continuació es pot veure un circuit simplificat del seu funcionament.



Il·lustració 4-21 Simplificació circuit intern d'un operacional de transconductància

Analitzant el circuit del amplificador diferencial, i sabent que $Q4$ i $Q5$ tenen les mateixes característiques, podem dir que:

$$I_C = I_S * e^{\frac{V_{be}}{V_t}} \quad (4-36)$$

$$V_{be} = V_t * \ln\left(\frac{I_C}{I_S}\right) \quad (4-37)$$

Del circuit es pot deduir el següent:

$$I_{ABC} = I_{C4} + I_{C5} \quad (4-38)$$

$$I_{out} = I_9 - I_{11} \quad (4-39)$$

$$I_{11} = I_5 \text{ i } I_9 = I_4 \quad (4-40)$$

Per tant:

$$I_{out} = I_{C4} - I_{C5} \quad (4-41)$$

Si ara, agafem el sistema d'equacions i aïllem I_{C4} i I_{C5} obtenim el següent:

$$I_{C4} = \frac{I_{ABC} + I_{out}}{2} \quad (4-42)$$

$$I_{C5} = \frac{I_{ABC} - I_{out}}{2} \quad (4-43)$$

Substituint els valors de les intensitat de col·lector de l'equació 4-36:

$$V_{in} = V_{be1} - V_{be2} = V_t * \left[\ln\left(\frac{I_{C4}}{I_S}\right) - \ln\left(\frac{I_{C5}}{I_S}\right) \right] \quad (4-44)$$

$$V_{in} = V_t * \left[\ln\left(\frac{I_{C4}}{I_{C5}}\right) \right] \quad (4-45)$$

$$V_{in} = V_t * \left[\ln\left(\frac{\frac{I_{ABC} + I_{out}}{2}}{\frac{I_{ABC} - I_{out}}{2}}\right) \right] \quad (4-46)$$

$$V_{in} = V_t * \left[\ln\left(\frac{I_{ABC} + I_{out}}{I_{ABC} - I_{out}}\right) \right] \quad (4-47)$$

$$V_{in} = V_t * \left[\ln\left(1 + \frac{I_{out}}{I_{ABC}}\right) - \ln\left(1 - \frac{I_{out}}{I_{ABC}}\right) \right] \quad (4-48)$$

Si substituïm $\frac{I_{out}}{I_{ABC}}$ per x , obtenim el que es coneix com a sèries de *Taylor*, el seu aspecte és el següent:

$$\ln(1 + x) = x - \frac{x^2}{2} + \frac{x^3}{3} - \frac{x^4}{4} + \frac{x^5}{5} + \dots \quad (4-49)$$

$$\ln(1 - x) = -x - \frac{x^2}{2} - \frac{x^3}{3} - \frac{x^4}{4} - \frac{x^5}{5} + \dots \quad (4-50)$$

$$\ln(1 + x) - \ln(1 - x) = x + \frac{x^3}{3} + \frac{x^5}{5} + \dots \quad (4-51)$$

Les sèries numèriques tenen un nombre infinit de termes, però aquesta es tracte d'una sèrie numèrica convergent, per tant arribarà un moment en que els termes pràcticament no tindran efecte en el valor total de la suma. A més recordem que x equival a $\frac{I_{out}}{I_{ABC}}$, i que aquesta relació serà sempre $\frac{I_{out}}{I_{ABC}} \ll 1$. Aquests fets ens permeten prescindir dels termes a partir de x^3 , i d'aquesta manera poder donar una equació de comportament al dispositiu:

$$I_{out} = \frac{V_{in} * I_{ABC}}{2 * V_t} \quad (4-52)$$

Observant l'equació, es dedueix un altre punt important en els amplificadors de transconductància, i és que degut a que $I_{out} \ll I_{ABC}$ per raons matemàtiques, fa que $V_{in} \ll V_t$.

Si recordem que $V_{in} = V_{be1} - V_{be2}$, implica que la diferència de potencial entre les dues entrades mai pot igualar a V_t que té un valor de 25mV/K.

La transconductància, que com s'ha definit és la relació entre la variació de la tensió que provoca una variació d'intensitat. Si utilitzem de pauta aquesta definició anterior, com tensió d'entrada, tenim V_{BE} i el corrent que es veurà afectat és el corrent de col·lector, o el que és el mateix el d'emissor $I_C = I_E$. Matemàticament, quan parlem d'una variació d'un valor respecte un altre, ens referim a una derivada. Per tant, l'equació que defineix la transconductància és la següent:.

$$gm = \left. \frac{dI_C}{dV_{BE}} \right|_Q \quad (4-53)$$

Per tal de resoldre-la, es pot utilitzar l'equació de *Ebers-Moll*. D'aquesta manera:

$$gm = \frac{d(I_{SCQ} * e^{\frac{V_{BEQ}}{V_T}})}{dV_{BE}} = \frac{I_{SCQ} * e^{\frac{V_{BEQ}}{V_T}}}{V_T} = \frac{I_{CQ}}{V_T} \quad (4-54)$$

Degut als miralls de corrent:

$$I_{CQ} = \frac{I_{BIAS}}{2} \quad (4-55)$$

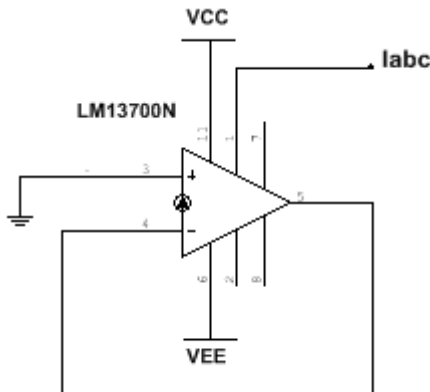
$$gm = \frac{I_{BIAS}}{2 * V_T} \quad (4-56)$$

Per concloure, si ens ajudem de les dues equacions extretes anteriorment en queda el següent:

$$I_{out} = g_m * V_{in} = g_m * (V_{be1} - V_{be2}) \quad (4-57)$$

A continuació s'explica de manera resumida les diferents aplicacions o configuracions que es poden realitzar amb aquets elements.

4.6.1 Resistència controlada per corrent



$$I_{out} = g_m * (V^+ - V^-)$$

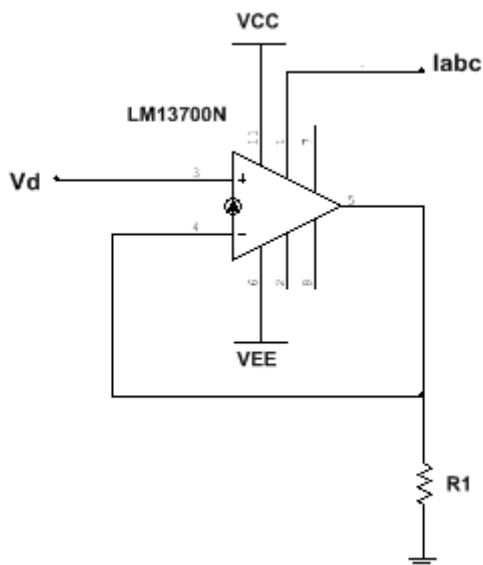
$$g_m = I_{ABC} * k$$

$$I_{ABC} \uparrow \rightarrow I_{out} \uparrow$$

$$I_{ABC} \downarrow \rightarrow I_{out} \downarrow$$

Per tant, té un comportament semblant a una resistència, com més gran és la resistència, més dificultats té el corrent per circular, és a dir menor intensitat. En aquest cas la I_{ABC} actua com si fos la resistència.

4.6.2 Amplificador controlat per corrent



$$I_{out} = g_m * (V^+ - V^-)$$

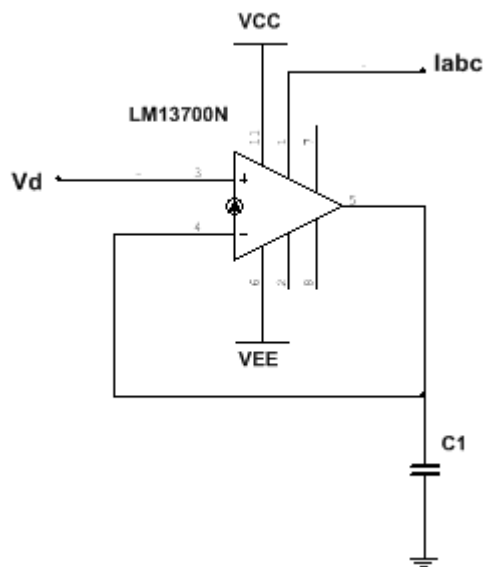
$$g_m = I_{ABC} * k$$

$$I_{out} = \frac{V_{out}}{R1}$$

$$V_{out} = g_m * (V^+ - V^-) * R1$$

Com s'observa, la tensió de sortida és directament proporcional al corrent de control (I_{ABC}) i a la resistència, poden fer que aquest amplificador sigui de guany variable, senzillament modificant la resistència per un potenciòmetre.

4.6.3 Integrador



$$I_{out} = gm * (V^+ - V^-)$$

$$Vd = (V^+ - V^-)$$

$$gm = k * I_{ABC}$$

$$V_{out} = V_C = I_{out} * X_C$$

$$X_C = \frac{1}{2 * \pi * f * C}$$

$$V_{out} = \frac{gm * Vd}{2 * \pi * f * C}$$

Amb aquesta configuració, aconseguim d'una manera senzilla, un circuit integrador amb una tensió de sortida que depèn de l'entrada i del corrent de control.

4.7 Convertidor digital analògic

Quan parlem d'un convertidor digital analògic ens referim a un circuit electrònic encarregat de transformar una codificació digital de '1's i '0' en un senyal analògic, és a dir una senyal discreta a una senyal continua en el temps.

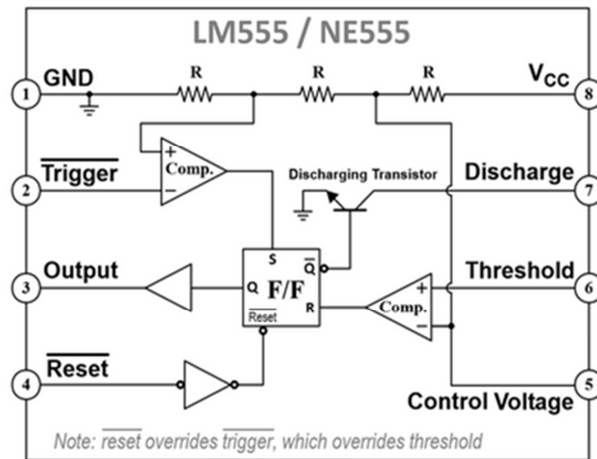
Hi ha diferents tècniques alhora de fer un convertidor d'aquest tipus, poder la més coneguda però que no s'ha utilitzat és l'anomenada $R/2R$, que es tracta d'un circuit amb unes resistències en sèrie de valor R , on s'hi connecta un divisor de tensió format per dos resistències de valor $2R$. Cadascun d'aquests divisors de tensió està connectat a un dels bits que es desitja convertir, d'aquesta manera al final de la sèrie obtenim un voltatge que va en funció de la quantitat de bits que estiguin o no activats.

La tècnica utilitzada en el projecte es basa en el filtratge d'un senyal d'amplada de pols modulada, coneguda com a PWM, de l' anglès *pulse width modulation*. Segons l'amplada del pols del senyal, coneguda amb el nom de temps de cicle o *duty cycle* en anglès. A la sortida obtindrem una tensió o una altra.

4.8 Temporitzador

Aquest circuit integrat té una àmplia varietat d'aplicacions, principalment s'utilitza com a generador de polsos i com a oscil·lador. Aquest integrat, porta en el mercat des de principis dels anys 70, i actualment el fabriquen moltes empreses. Això ens demostra que és un dispositiu que està molt present en infinitat de dissenys.

Com s'observa a les figures que hi ha a continuació, té vuit terminals. Alimentació a un voltatge positiu per la pota 8, la connexió a massa, pota 1. Consta de dos comparadors un que serveix per disparar la sortida, mitjançant l'entrada *trigger* pota 2. L'altre comparador serveix per posar la sortida a un nivell baix segons les entrades *threshold* i *control de voltatge* potes 6 i 5 respectivament. També té una entrada de reset extern per tal de inicialitzar el flip-flop, això s'aconsegueix posant la pota 4 a nivell baix. I per últim disposa d'una entrada de descàrrega que farà que quan el flip-flop estigui a nivell baix posarà el terminal 7 a massa a través d'un transistor.



Té dues possibilitats de configuració com són l'*astable* i la *monoestable*. La primera ens proporciona un senyal quadrat a la sortida, mentre que la monoestable únicament ens dona un pols. En tots dos casos resulta fàcil definir la freqüència o la llargada del pols segons la configuració, únicament, s'ha d'aplicar una fórmula que el fabricant proporciona en el full de característiques.

$$f = \frac{1}{0,693 * C * (R_1 + 2 * R_2)}$$

$$T = 1,1 * R * C$$

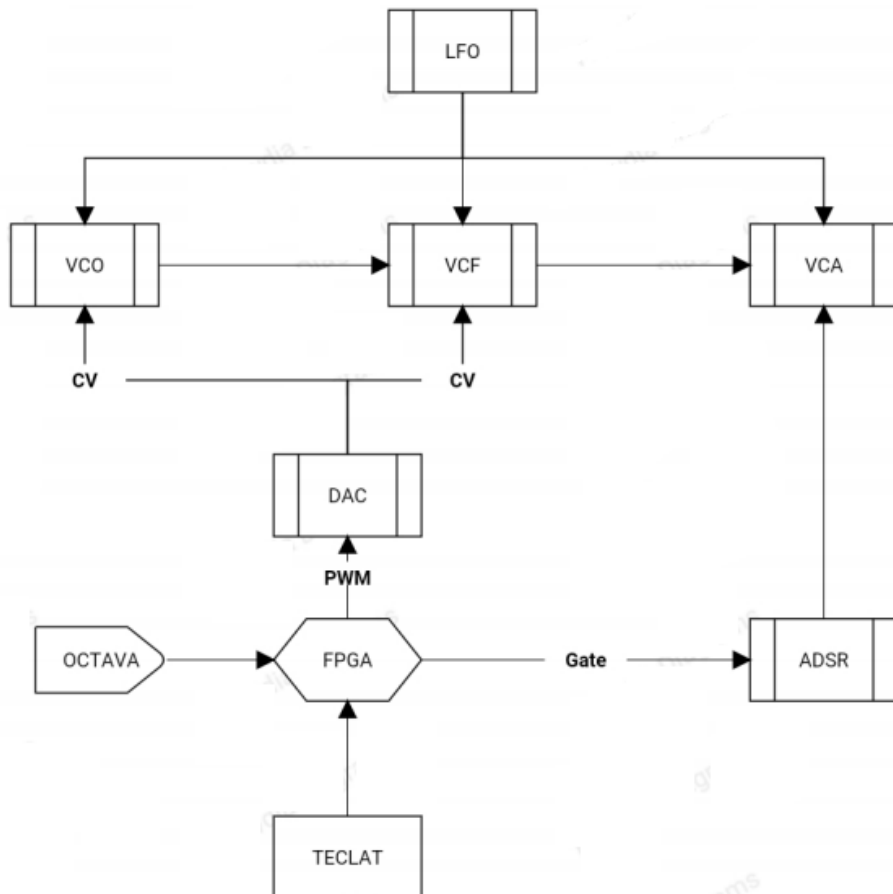
4.9 FPGA

A diferència d'un microprocessador que té una arquitectura definida pel fabricant i una manera de processar seqüencial, és a dir s'executen instruccions una després d'una altre. Una FPGA és un dispositiu lògic programable, és a dir quan la programem estem creant hardware, d'aquí surt el nom de descripció de hardware. Aquest fet permet executar diferents programes de manera concurrent, és a dir s'executen alhora. Això fa que tingui una major rapidesa de processat i facilita la feina del programador, ja que no ha d'estar multiplexant instruccions o lectures per tal de coordinar-ho tot.

Internament consisteixen, en una distribució matricial de cel·les lògiques anomenades *CLB's (Clustered Logic Blocs)* i per cel·les d'entrada/sortida anomenades *IOB's (Input/Output Blocs)*, comunicades entre sí mitjançant uns canals o rutes (*routing channels*).

5. Disseny de les parts

En aquest capítol, s'explica cadascuna de les parts que s'han dissenyat per tal de construir el sintetitzador. A continuació es pot veure un diagrama de blocs amb els elements que s'han implementat, sempre respectant els elements bàsics els quals com ja s'ha parlat anteriorment, són indispensables.

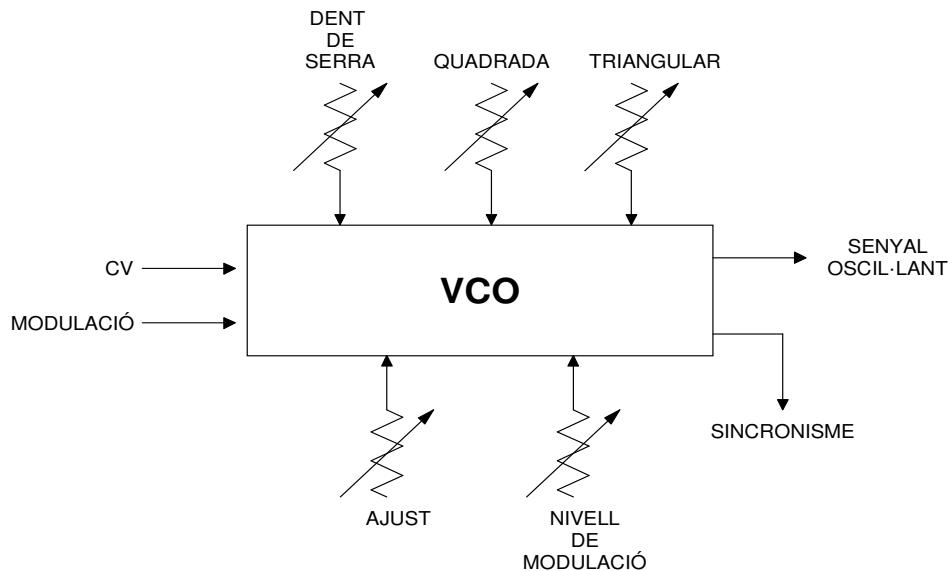


Il·lustració 5-1 Diagrama de blocs del disseny

Observem que a part dels mòduls bàsics, tenim una part de control feta amb una *FPGA*, que s'encarrega de controlar el teclat, de controlar l'octava a on apunta el teclat i generar els senyals de *gate* i de control *CV*. La decisió de col·locar com a controlador una *FPGA* és degut a les seves característiques i prestacions que té. D'aquesta manera ens permetrà més endavant fer algunes millores.

5.1 L'oscil·lador controlat per tensió (VCO)

A continuació es pot veure en forma de bloc quines són les seves entrades de control, modificadors i senyals de sortida, els quals formen part del disseny final:



Il·lustració 5-2 Esquemàtic del mòdul de l'oscil·lador controlat per tensió

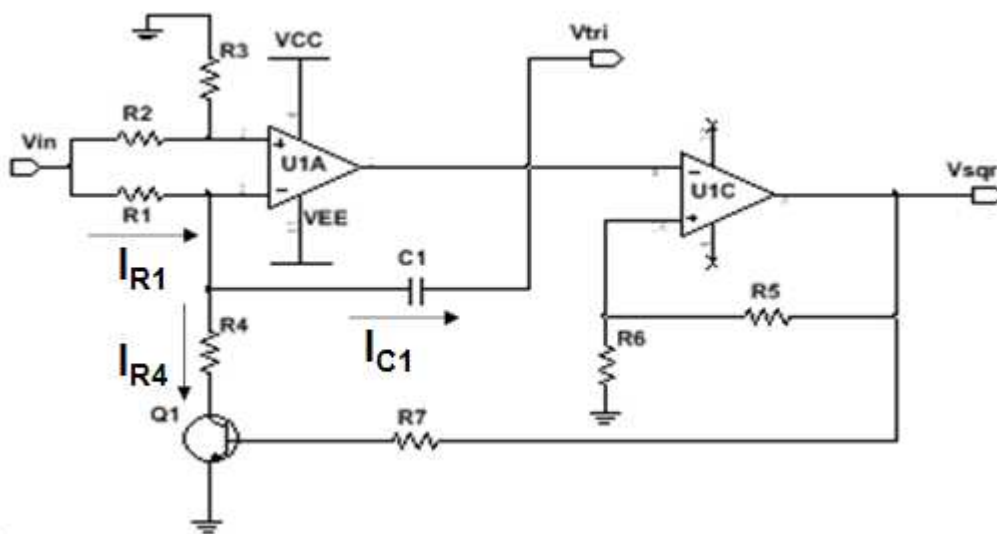
Com es pot veure està format per cinc potenciòmetres de control, tres d'ells són per ajustar els nivells que tindrà cadascuna de les formes d'ona en el senyal de sortida (dent de serra, quadrada, triangular). La funció del potenciòmetre d'ajust és la d'afinar la freqüència d'oscil·lació i l'altre potenciòmetre serveix per donar més o menys força al senyal modulador. Com a entrades de senyal, tenim el control per voltatge (CV) i l'entrada de modulació (freqüència modular). En el cas dels senyals de sortida, tenim el propi senyal oscil·lant i una altra senyal de sincronisme, aquesta senyal està pensada per poder introduir altres oscil·ladors i que tots els senyals vagin sincronitzats.

Per tal de simplificar el disseny, aquest mòdul, s'ha dividit amb parts. Concretament en tres parts diferents. Per una banda s'ha fet el disseny del oscil·lador principal, que ens genera dues formes d'ona que són la quadrada i la triangular. La segona part està dedicada a la generació d'un dent de serra utilitzant el senyal de l'oscil·lador. Per últim s'ha implementat un mesclador que suma els tres tipus de senyals.

5.1.1 L'Oscil·lador principal

Hi ha diferents dispositius amb els quals es pot fer el disseny d'aquesta part com poden ser els transistors emparellats amb emissor comú. A través de diferents configuracions d'operacionals o amb l'ús d'amplificadors de transconductància.

En aquest cas s'ha optat per fer un disseny amb amplificadors operacionals. Concretament es tracta d'una connexió enllaç tancat de dos operacionals, un configurat com a integrador i l'altre com a comparador. A continuació es veu quin és l'aspecte del circuit bàsic:



Il·lustració 5-3 Circuit oscil·lant bàsic

Per entendre el funcionament suposem que a l'instant $t=0$ a la sortida del comparador tenim que $V_{sqr} = Low = -V_{cc}$. Això fa que el transistor es trobi en zona de tall per tant no hi circularà corrent entre col·lector i emissor. Si ara fem que $V_{in} \neq 0$, fem que a través de la resistència R_1 hi circuli una intensitat, que degut al transistor que es troba en zona de tall, aquesta intensitat serà igual a la que carregi C_1 . Gràcies a això, les plaques del condensador s'aniran carregant fent que entre elles hi aparegui una diferència de potencial $V_{TRI} = -V_C = V_{n_{ST}}$. D'aquesta manera la tensió aplicada a la pota inversora comença a disminuir constantment, mentre que a la pota no inversora degut a la realimentació a través del divisor de tensió format per R_5 i R_6 , tenim que $V_{p_{ST}} = \frac{-V_{CC} \cdot R_6}{R_5 + R_6}$. Quan aquesta tensió de realimentació sigui més gran que la tensió aplicada al terminal inversor, el comparador canviarà la seva sortida a nivell alt o el que és el mateix a V_{cc} . Quan a la sortida hi tenim un nivell alt, el transistor canvia de treballar en zona de tall, per treballar en zona de saturació, fent que el terminal de R_4 quedi connectat a massa fent que el condensador ja no es carregi sinó que comenci a descarregar-se via R_4 creant un increment de

la tensió a l'entrada inversora del comparador. Així seguirà fins que, a diferència de la vegada anterior, la tensió a la pota inversora sigui més gran que a la no inversora, canviant un altre cop l'estat de la sortida del comparador. I així s'aniran repetint els cicles, fins que V_{in} sigui 0v.

Per conèixer el comportament matemàtic que té el circuit, s'aplica la llei de corrents de *Kirchoff* en el node inversor de l'integrador:

$$I_{R1} - I_{C1} = 0 \quad (5-1)$$

Si fem ús de les funcions que defineixen la llei d'Ohm per substituir el corrent a través de R1 i en el cas del condensador a través de la càrrega podem posar l'equació en funció de C i del voltatge.

$$I_{R1} = \frac{V_{in} - \frac{V_{in}}{2}}{R1} = \frac{V_{in}}{2 * R1} \quad (5-2)$$

$$I_{C1} = \frac{dq}{dt} \quad (5-3)$$

$$q = V * C \quad (5-4)$$

$$I_{C1} = C * \frac{dv}{dt} \quad (5-5)$$

$$\frac{V_{in}}{2 * R1} = C * \frac{d(V_{final} - V_{inicial})}{dt} \quad (5-6)$$

Tal i com s'observa, el circuit està descrit amb una equació diferencial. Per poder-la resoldre s'utilitza la separació de variables i posteriorment s'integra.

$$\frac{V_{in}}{2 * R1} * dt = C * d(V_{final} - V_{inicial}) \quad (5-7)$$

$$\int \frac{V_{in}}{2 * R1} * dt = C * \int d(V_{final} - V_{inicial}) \quad (5-8)$$

$$\frac{V_{in}}{2 * R1} * t = C * \Delta V \quad (5-9)$$

$$t = \frac{2 * R1 * C * \Delta V}{V_{in}} \quad (5-10)$$

Veiem que ens queda una funció on apareixen el temps i el voltatge d'entrada . A través del temps podem introduir la freqüència dins l'equació .

$$t = \frac{1}{f} \quad (5-11)$$

$$f = \frac{v_{in}}{2 * R1 * C * \Delta V} \quad (5-12)$$

Com que es tracte del generador d'ona triangular hi ha un paràmetre que s'ha de tenir en compte. El valor de R1 (resistència de càrrega del condensador) ha de ser el doble que el valor de R4 (resistència de descàrrega del condensador) per tal d'obtenir una forma triangular perfecte. La raó d'això, és que en l'instant de càrrega el corrent de R1 i el de C1 és el mateix, però en el moment en què s'està descarregant, el corrent per R4 és la suma dels corrents de R1 i de C1. Per tant si el que es desitja és que la recta de descàrrega sigui igual però de signe contrari que en el semiperíode de càrrega:

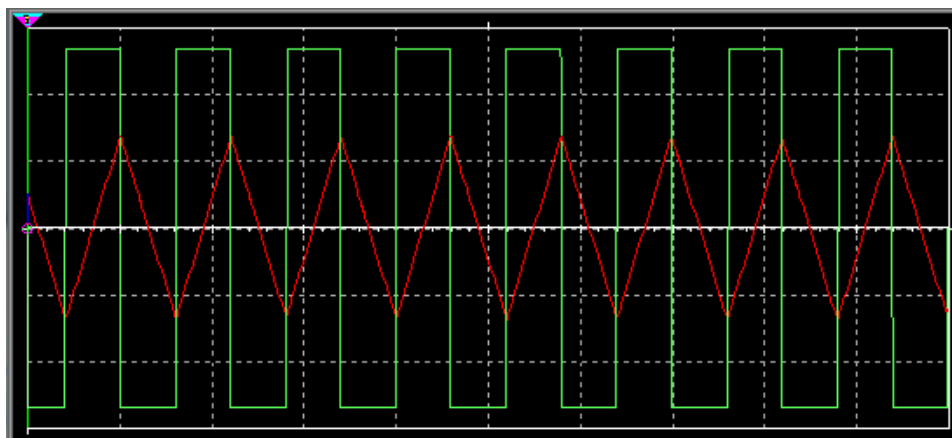
$$I_{R1} + I_{C1} = I_{R4} \quad (5-13)$$

$$I_{R1} = I_{C1} = I \rightarrow I_{R4} = 2 * I \quad (5-14)$$

$$I_{R4} = 2 * \frac{V_{in}}{2 * R1} = \frac{V_{in}}{R1} \quad (5-15)$$

$$f = \frac{v_{in}}{4 * R1 * C * \Delta V} \quad (5-16)$$

A continuació es pot veure una gràfica de simulació d'aquesta part del circuit:

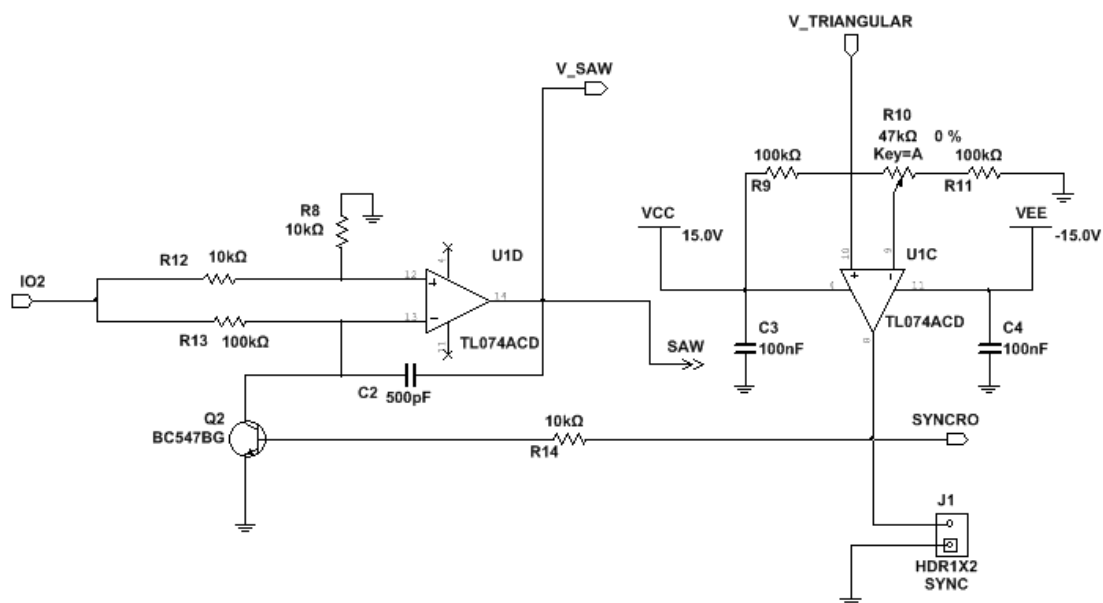


II-lustració 5-4 Simulació senyal triangular i quadrada (500µs/div 5v/div)

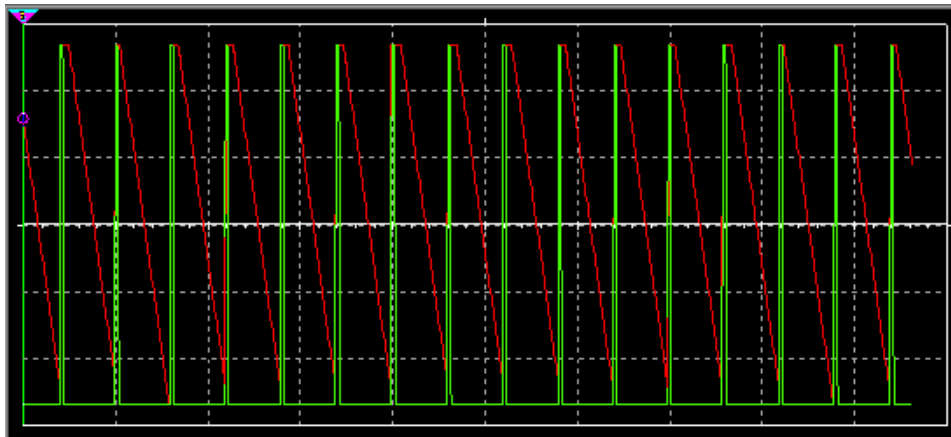
Resulta evident que el senyal quadrat té una tensió màxima i mínima bastant més elevada que la triangular, però posteriorment a la part final del mòdul queda corregit.

5.1.2 Gerador dent de serra

Per generar el senyal de dent de serra s'ha utilitzat el senyal triangular provinent del mòdul anterior. Mirant el circuit podem reconèixer una certa similitud amb el de l'oscil·lador. Però hi ha bastants diferències importants. En primer lloc, el senyal triangular, entre pel terminal no inversor de l'operacional, mentre que per l'inversor s'hi ha connectat un divisor de tensió construït amb dues resistències i un potenciòmetre, fent això aconseguim generar un senyal de polsos que ens servirà per atacar la base del transistor i fer-lo commutar. El valor de les resistències del divisor de tensió en qüestió, s'han escollit d'un valor bastant alt, d'aquesta manera la intensitat que hi circuli serà molt petita, i com a conseqüència, la potència dissipada per elles també disminuirà, per tant les variacions dels valors per calor també quedaran reduïdes.



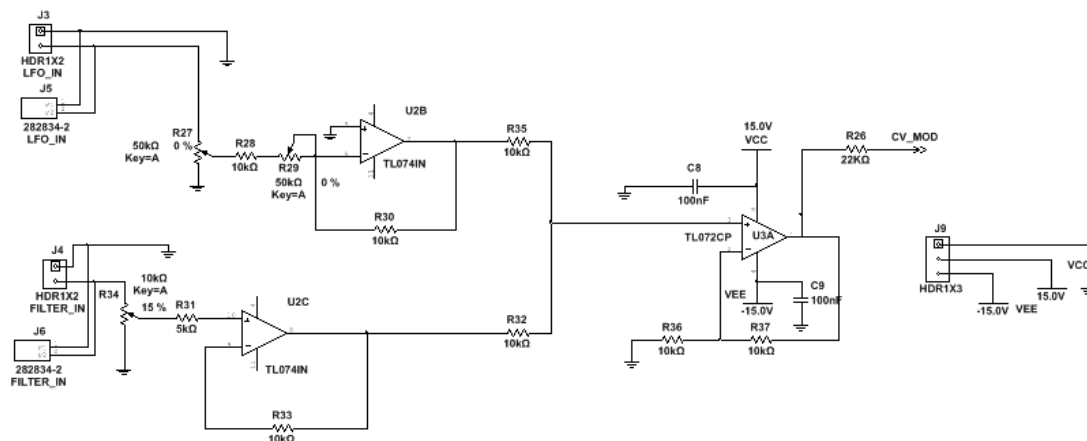
Il·lustració 5-5 Circuit conformador del senyal dent de serra



Il·lustració 5-6 Simulació dels senyals que intervenen en el conformador d'ona

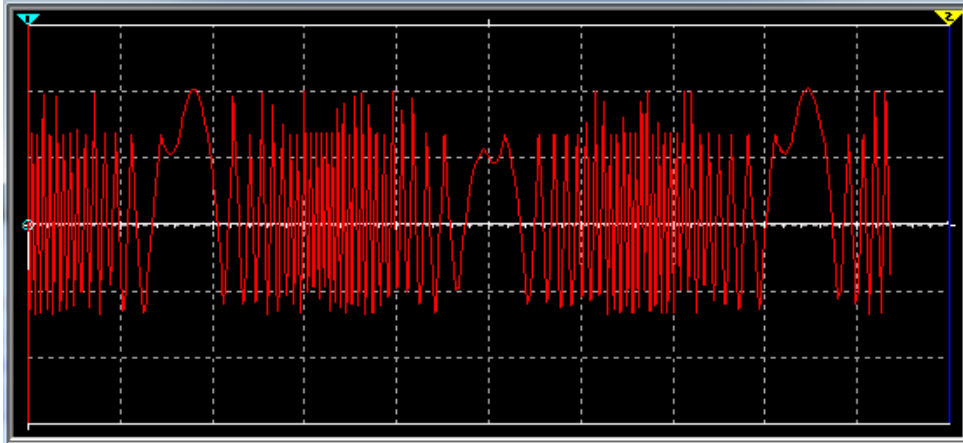
5.1.3 Mesclador i control dels senyals d'entrada

En el cas dels senyals de control, el circuit està construït amb dos amplificadors amb un guany variable. Gràcies als potenciòmetres que hi ha a la entrada s'aconsegueix poder modificar el senyal de sortida, aquest, mai tindrà un valor més gran que el que hi ha a la entrada.



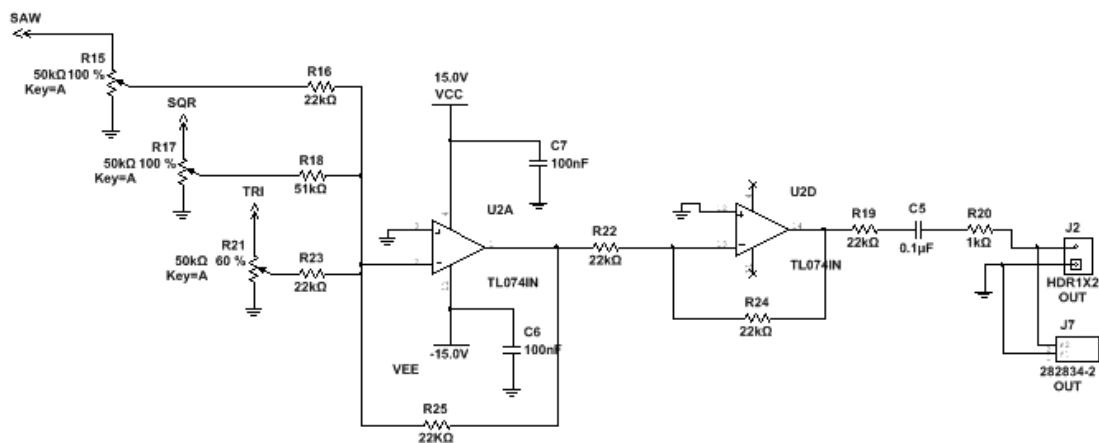
Il·lustració 5-7 Circuit de control de les entrades

Podem observar que hi ha dues entrades de control, una pel senyal de control provinent del convertidor digital analògic, i l'altre que és una entrada de modulació on s'hi connectarà el senyal de l'oscil·lador de baixa freqüència. D'aquesta manera s'aconsegueix una modulació en freqüència. Tot seguit es pot veure de quina manera queda el senyal si apliquem un senyal triangular a l'entrada de modulació:



Il·lustració 5-8 Simulació del senyal de l'oscil·lador modulat per un senyal dent de serra provinent de l'oscil·lador de baixa freqüència (20ms/div 5v/div)

Per mesclar els senyals *dent de serra*, *triangular* i *quadrat*, es fa passar cadascun d'ells per un potenciòmetre i posteriorment es sumen a través del primer operacional, obtenint com a resultat la suma dels senyals en funció del valor del potenciòmetre. Tot seguit, es torna a invertir el senyal per deixar-lo en la mateixa fase que a l'entrada i per finalitzar s'hi ha col·locat un condensador d'un valor elevat per tal de bloquejar la contínua que hi pugui haver. Tot seguit es pot veure tant el circuit com l'equació que el defineix.



Il·lustració 5-9 Circuit mesclador

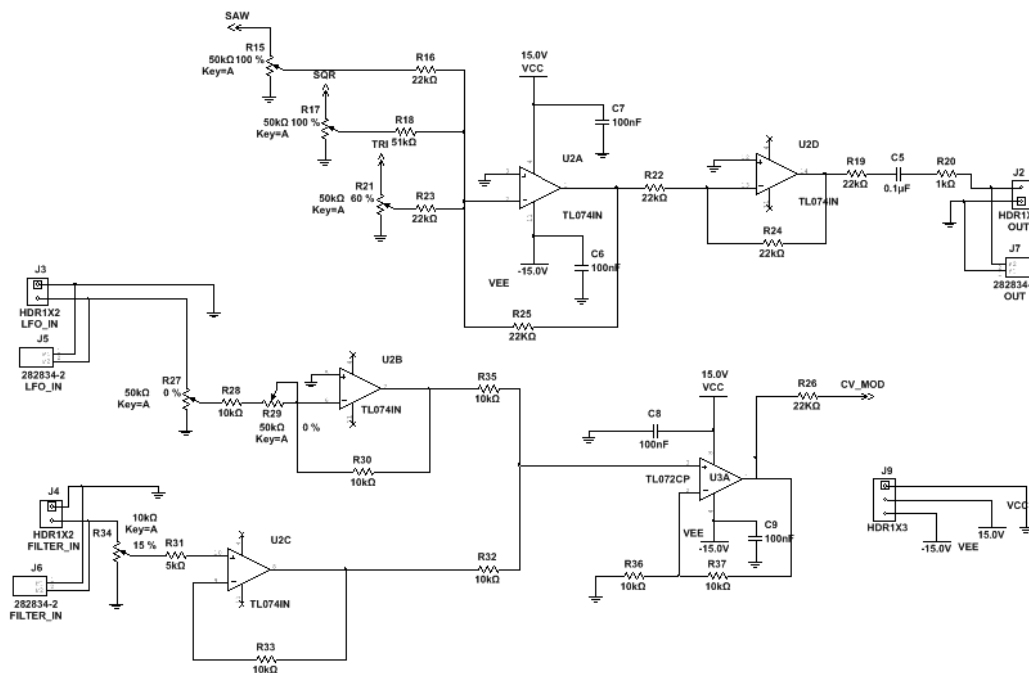
$$V_{out} = -R25 * \left(\frac{V_{saw}}{R15 + R16} + \frac{V_{sqr}}{R17 + R18} + \frac{V_{tri}}{R21 + R23} \right) \quad (5-17)$$

$$R25 = R16 = R18 = R23$$

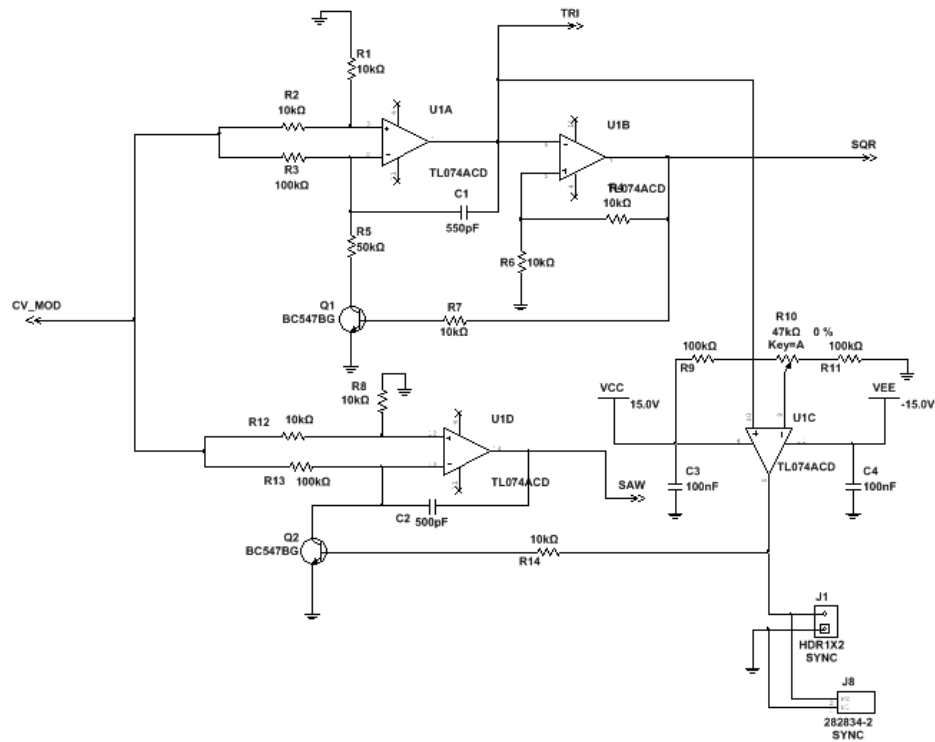
$$V_{outU2A} = - \left(\frac{V_{saw}}{R15} + \frac{V_{sqr}}{R17} + \frac{V_{tri}}{R21} \right) \quad (5-18)$$

$$V_{out} = - \frac{R22}{R23} * (-V_{outU2A}) = V_{outU2A} \quad (5-19)$$

5.1.4 Circuit final de l'oscil·lador controlat per tensió



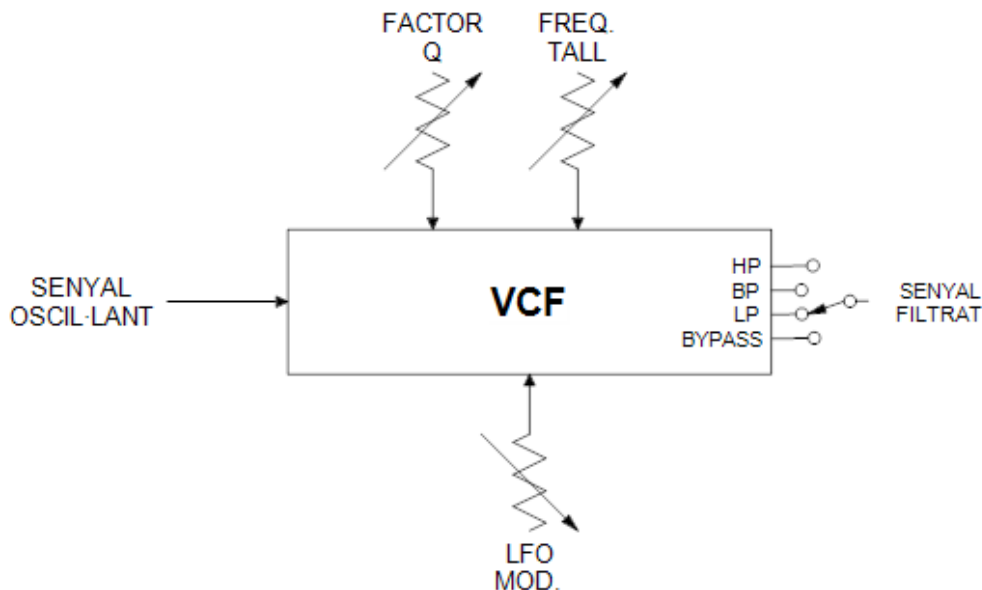
Il·lustració 5-10 Circuit final de l'oscil·lador controlat per tensió part 1



Il·lustració 5-11 Circuit final de l'oscil·lador controlat per tensió part 2

5.2 El filtre controlat per tensió (VCF)

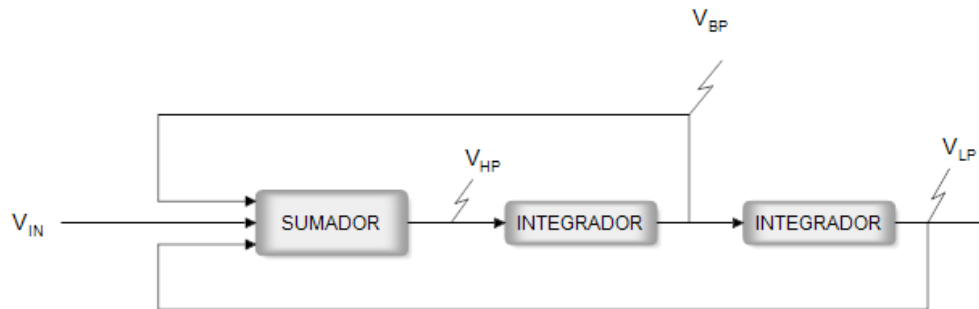
Per tal de començar el disseny, s'han de tenir ben en compte quins són els requisits finals que es volen a la sortida d'aquest bloc i de quina manera l'usuari pot interactuar amb ell. Es desitja que la freqüència de tall, estigi controlada per tensió, es vol poder modificar la ressonància per mitjà d'un potenciòmetre i també ha de tenir un amplada de banda de 20 Hz a 20 kHz per tal de cobrir tot l'espectre audible.



Il·lustració 5-12 Esquema del filtre controlat per tensió

Si observem la figura anterior, tenim l'entrada de senyal provinent de l'oscil·lador, una entrada que serveix com a moduladora i un senyal de sortida que a través d'un selector es pot escollir el tipus de filtre que es desitja. Com a controls, tenim tres potenciòmetres que regulen el nivell de modulació, el factor de ressonància i la freqüència de tall.

Aquest tipus de circuits tenen diferents maneres de ser dissenyats. En aquest cas, s'ha optat per dissenyar un filtre de 12 dB octava construït a partir d'amplificadors de transconductància i amplificadors operacionals. Els operacionals es configuraran com a sumadors inversors, en canvi els altres es configuren com a integradors amb l'ajut de condensadors. L'estructura del disseny es coneix amb el nom de filtre d'estat variable o SVF (State Variable Filter) i té aquest aspecte:



Il·lustració 5-13 Diagrama de blocs d'un filtre de segon grau

Degut als dos integradors, es tracta d'un filtre de dos pols, per tant podem saber quin aspecte haurà de tenir la funció de transferència per cadascun dels tres casos.

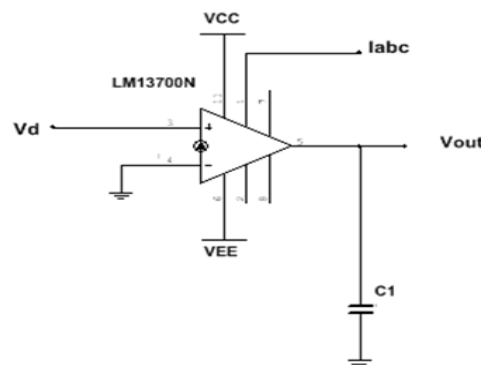
$$\frac{V_{HP}}{V_{in}} = \frac{s^2}{s^2 + \frac{W_0}{Q} * s + W_0^2} \quad (5-20)$$

$$\frac{V_{BP}}{V_{in}} = \frac{\frac{W_0}{Q} * s}{s^2 + \frac{W_0}{Q} * s + W_0^2} \quad (5-21)$$

$$\frac{V_{LP}}{V_{in}} = \frac{1}{s^2 + \frac{W_0}{Q} * s + W_0^2} \quad (5-22)$$

També coneixem de quina manera funcionen els amplificadors de transconductància quan treballen com a integradors i com es comporten matemàticament.

A la següent figura apareix un circuit integrador amb un operacional de transconductància que servirà per explicar quina pauta que s'ha fet servir per tal de dissenyar el filtre complet.



Il·lustració 5-14 Circuit integrador fet amb un OTA

Se sap que el corrent a la sortida d'un *OTA* és el següent:

$$I_{out} = gm * (V_p - V_n) \quad (5-23)$$

$$V_n = 0v \quad (5-24)$$

$$V_p = V_d = V_{in} \quad (5-25)$$

Si utilitzem la llei d'Ohm i la impedància del condensador, es pot afirmar:

$$V_{out} = I_{out} * Z_{out} \quad (5-26)$$

$$Z_{out} = \frac{1}{X_c} \quad (5-27)$$

$$X_c = \frac{1}{2 * \pi * f * C} \quad (5-28)$$

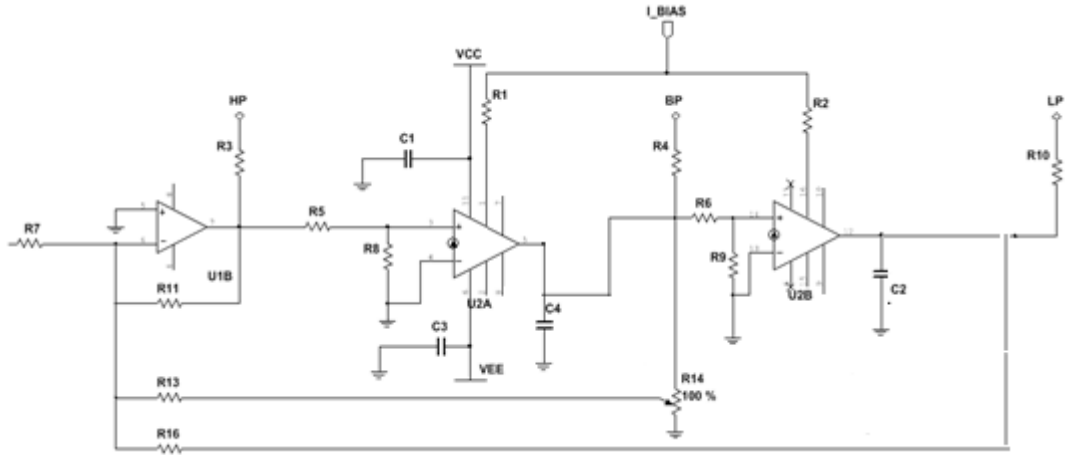
$$V_{out} = gm * V_{in} * \frac{1}{2 * \pi * f * C} \quad (5-29)$$

$$\frac{V_{out}}{V_{in}} = \frac{gm}{2 * \pi * f * C} \quad (5-30)$$

Ja hem obtingut la funció de transferència d'un integrador fet amb *OTA*. Si observem el full de característiques, el fabricant ens dona una sèrie d'aspectes que s'han de tenir en compte, com són que la tensió diferencial a l'entrada no pot superar els 20 mV i la intensitat de control com a màxim a de ser de 2 mA, això vol dir que no s'ha d'arribar mai als 2 mA.

Per solucionar que la tensió d'entrada diferencial no sobrepassi els 20 mV, es pot reduir el nivell de voltatge a l'entrada no inversora. Un altre mètode és el fet de realimentar la sortida a la pota inversora, d'aquesta manera reduïrem també la diferència entre les dues tensions. Pel que fa la intensitat de control només s'ha de tenir en compte alhora de dissenyar el circuit de control d'intensitat.

Seguint l'estructura d'un filtre d'estat variable i tenint en compte les condicions que ens diu el fabricant s'ha obtingut el següent circuit:



Il·lustració 5-15 Circuit del filtre controlat per tensió

Buscant una altra vegada les equacions a la sortida de cadascun dels operacionals (punts *HP*, *BP* i *LP*) obtenim el següent:

$$V_{BP} = gm_1 * V_{HP} * \frac{R8}{R5} * \frac{1}{s * C} \quad (5-31)$$

$$V_{LP} = gm_2 * V_{BP} * \frac{R9}{R6} * \frac{1}{s * C} \quad (5-32)$$

$$V_{HP} = -R11 * \left(\frac{V_{IN}}{R7} + \frac{V_{BP}}{R_R} + \frac{V_{LP}}{R15} \right) \quad (5-33)$$

Per substitució obtenim que:

$$\frac{V_{HP}}{R11} = -\frac{V_{IN}}{R7} - \frac{gm_1 * V_{HP} * R8}{R_R * R5 * s * C_1} - \frac{gm_2 * gm_1 * V_{HP} * R8 * R9}{R15 * R5 * R6 * s^2 * C_2 * C_1} \quad (5-34)$$

$$V_{HP} * \left(\frac{1}{R11} + \frac{gm_1 * R8}{R_R * R5 * s * C_1} + \frac{gm_1 * gm_2 * R8 * R9}{R15 * R5 * R6 * s^2 * C_2 * C_1} \right) = \frac{V_{IN}}{R7} \quad (5-35)$$

$$\frac{V_{HP}}{V_{IN}} = \frac{1}{R7 * \left(\frac{1}{R11} + \frac{gm_1 * R8}{R_R * R5 * s * C_1} + \frac{gm_1 * gm_2 * R8 * R9}{R15 * R5 * R6 * s^2 * C_2 * C_1} \right)} \quad (5-36)$$

Si imposem que:

$$R8 = R9 = R_P$$

$$R7 = R5 = R6 = R11 = R15 = R$$

$$C_1 = C_2 = C$$

$$gm_1 = gm_2 = gm$$

S'obté:

$$\frac{V_{HP}}{V_{IN}} = \frac{R_R * R^4 * s^2 * C^2}{R^4 * R_R * C^2 * s^2 + gm * R_P * R^4 * C * s + gm^2 * R_P^2 * R^2 * R_R} \quad (5-37)$$

$$\frac{V_{HP}}{V_{IN}} = \frac{R_R * R^2 * s^2 * C^2}{gm^2 * R_P^2 * R_R + gm * R_P * R^2 * C * s + R^2 * R_R * C^2 * s^2} \quad (5-38)$$

Si ara dividim tot per tal d'igualar a 1 els termes de s^2 :

$$\frac{V_{HP}}{V_{IN}} = \frac{s^2}{s^2 + \frac{gm_1 * R_P * R^2 * C}{R^2 * R_R * C^2} * s + \frac{gm_1 * gm_2 * R_P^2 * R_R}{R^2 * R_R * C^2}} \quad (5-39)$$

$$\frac{V_{HP}}{V_{IN}} = \frac{s^2}{s^2 + \frac{gm_1 * R_P}{R_R * C} * s + \frac{gm_1 * gm_2 * R_P^2}{R^2 * C^2}} \quad (5-40)$$

$$\frac{V_{HP}}{V_{IN}} = \frac{s^2}{s^2 + \frac{gm * R_P}{R_R * C} * s + \frac{gm^2 * R_P^2}{R^2 * C^2}} \quad (5-41)$$

Obtenim els valors de la freqüència de tall i el factor Q:

$$\omega_0^2 = \frac{gm^2 * R_P^2}{R^2 * C^2} \quad (5-42)$$

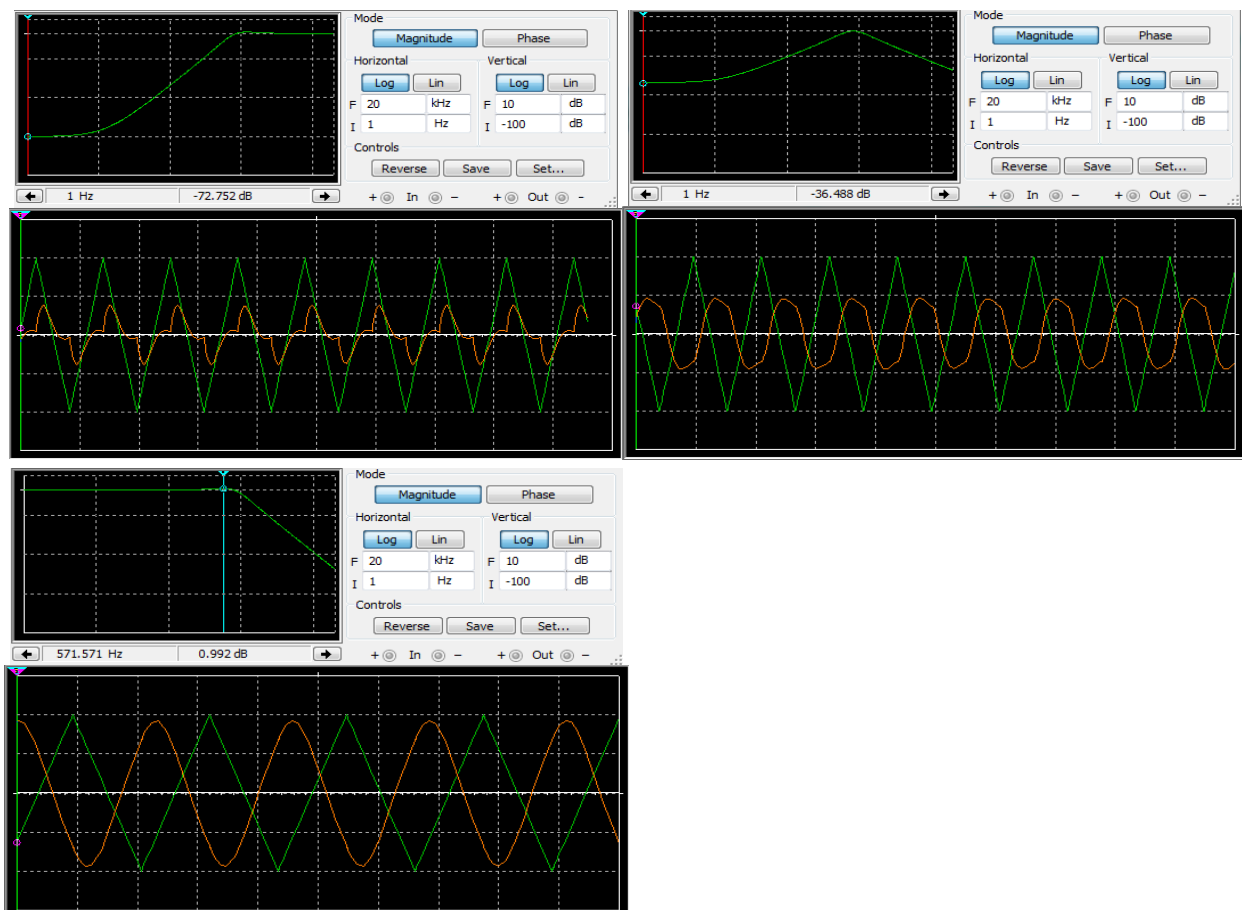
$$\omega_o = \frac{gm * R_p}{R * C} \quad (5-43)$$

$$Q = \frac{R_R}{R} = \frac{R + P_{ote}}{R} \quad (5-44)$$

Com es pot observar, el valor de la freqüència de tall és funció del valor gm , sent aquesta funció de la intensitat de control de l'operacional. Fet que com s'ha comentat al principi de l'apartat, era el que es desitjava.

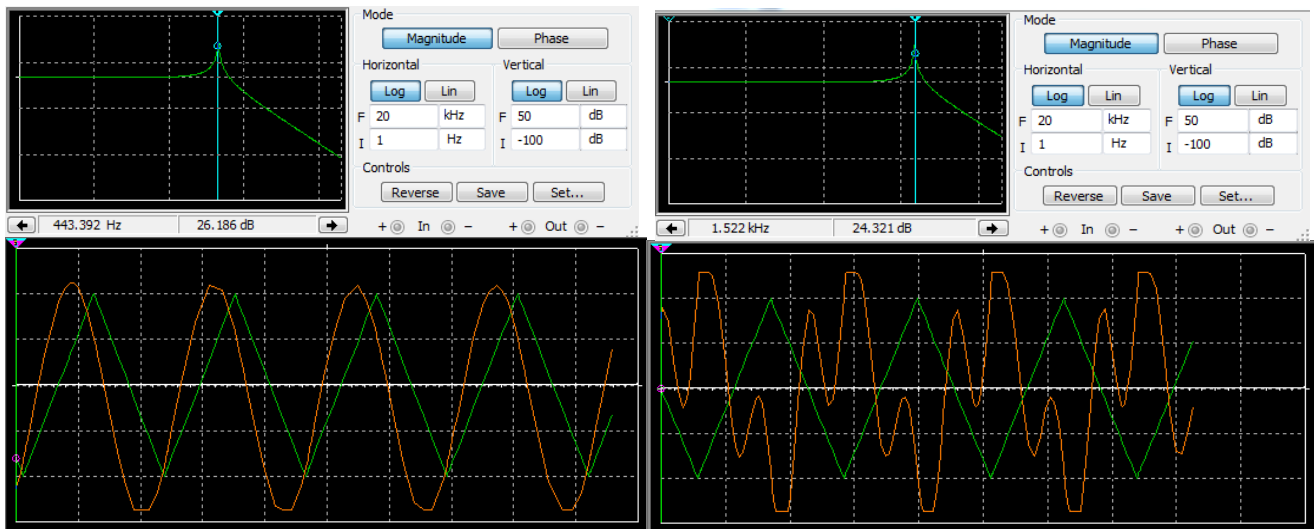
D'altra banda, el factor Q , és funció de R_R i de R , sent R_R un potenciòmetre amb un valor màxim igual a R i una resistència en sèrie de valor R . Per tant, el factor Q ens queda en funció d'un potenciòmetre, donant-nos la possibilitat de poder-lo modificar.

A continuació es mostren tot un seguit de simulacions on hi apareixen per una banda el diagrama de Bode i per altra banda apareix el senyal d'entrada i de sortida.

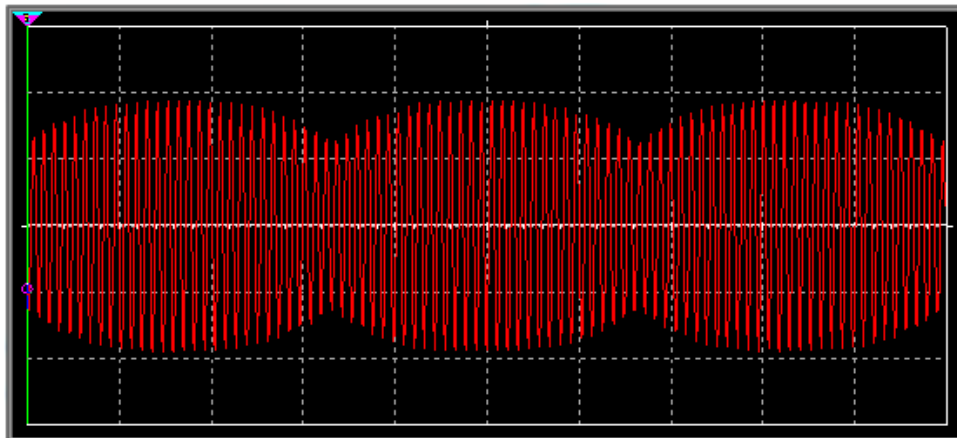


Il·lustració 5-16 Simulacions i diagrames de Bode. A) Passa alts B) Passa banda C) Passa baixos

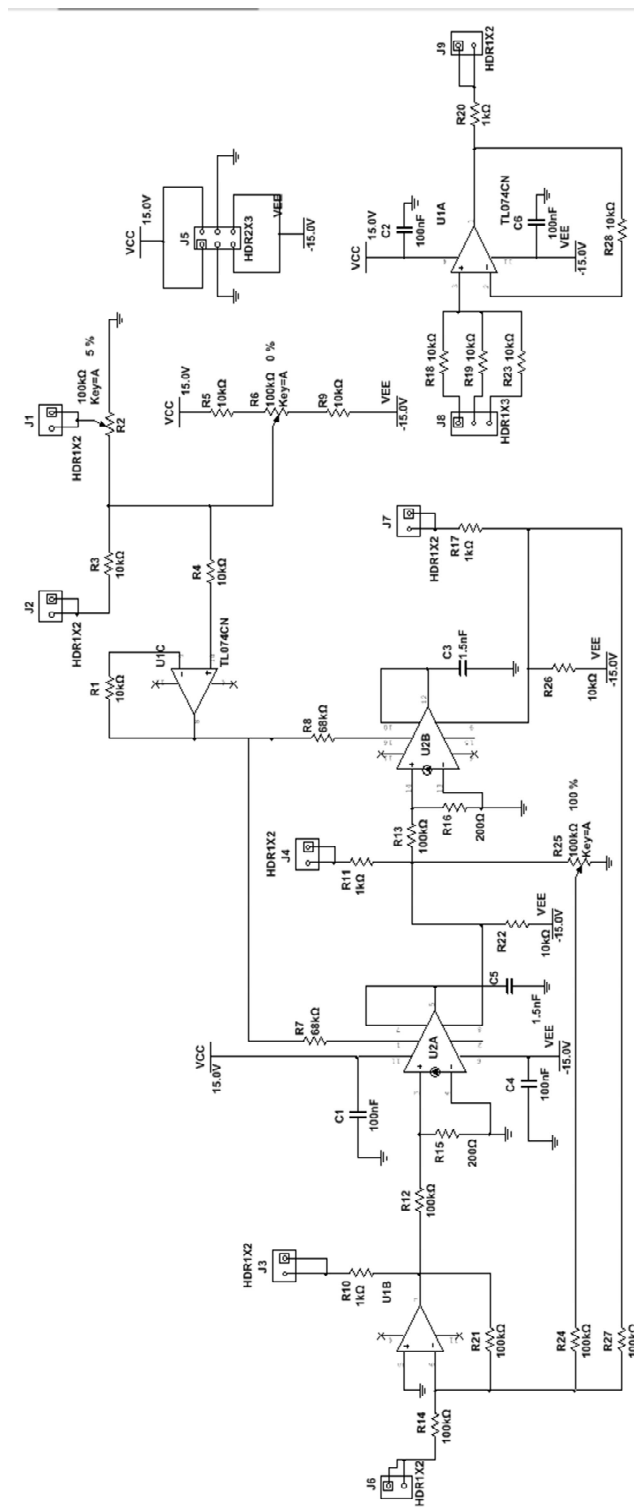
En els tres casos el senyal d'entrada era un L_a de la quarta octava, és a dir un senyal amb una freqüència de 440Hz, una freqüència de tall situada a 600 Hz i un factor de qualitat nul. A continuació es mostren dues senyals obtingudes a la sortida passa baixos amb una freqüència de tall de 440 Hz i amb diferents valors pel que fa el factor de qualitat.



Il·lustració 5-17 Simulacions i diagrames de Bode de la sortida passa baixos amb diferents valors de 'Q'

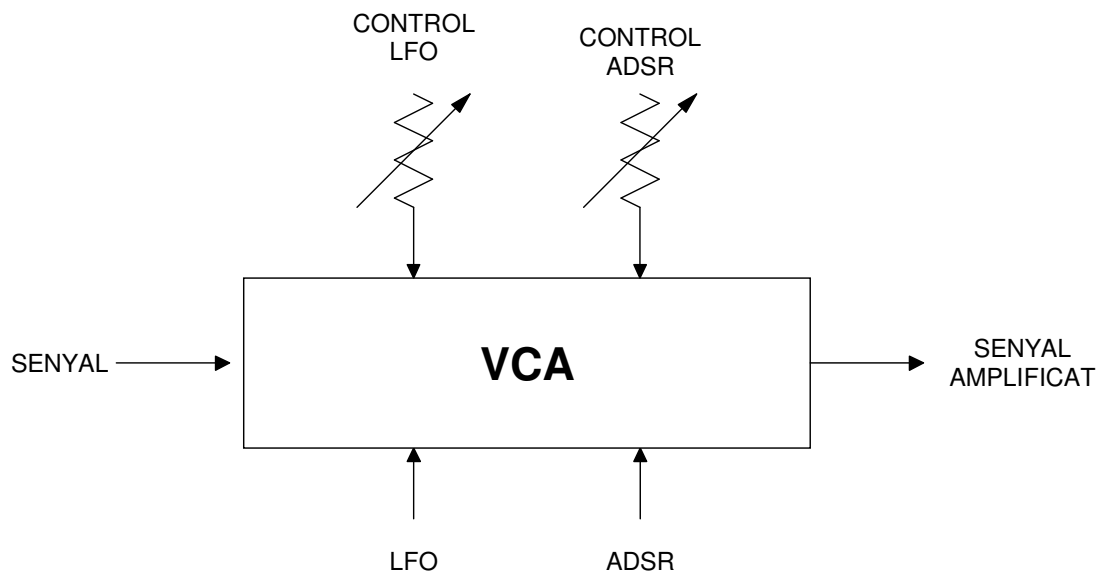


Il·lustració 5-18 Senyal a la sortida del filtre passa baixos modulad per l'oscil·lador de baixa freqüència (5ms/div 5v/div)



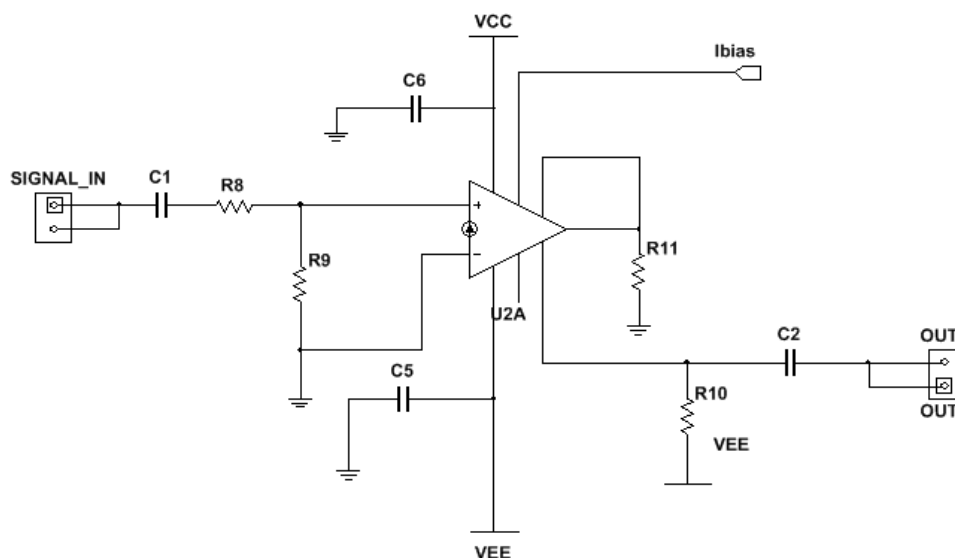
Il·lustració 5-19 Circuit final del filtre

5.3 L'amplificador controlat per tensió (VCA)



Il·lustració 5-20 Esquemàtic de l'amplificador

El disseny d'aquest mòdul, s'ha fet a partir d'un amplificador operacional de transconductància, configurat com a amplificador controlat per corrent i amplificador operacional que ajuden al control per voltatge. A l'hora de fer el disseny s'ha partit de l'estructura bàsica d'un amplificador controlat per corrent, tenint en compte els requisits que ja s'han comentat en altres apartats.



Il·lustració 5-21 Circuit amplificador amb OTA

Com es pot apreciar, es tracte d'un circuit relativament simple. La clau del disseny d'aquest mòdul és la correcta elecció del divisor de tensió que hi ha a l'entrada, escollir una resistència a la sortida per determinar el nivell de voltatge i la correcta limitació del corrent de control, que no pot arribar a 2mA.

Per escollir els valors de les resistències del divisor de l'entrada, s'ha identificat quin és el valor de voltatge màxim que pot entrar provinent o del filtre o de l'oscil·lador. Aquest voltatge mai superarà els 10 V (20Vpp), per tant, en el moment que tingui 10 V ,serà quan hi hagi la màxima diferència de tensió entre les entrades És a dir:

$$V_p = V_{in} * \frac{R_9}{R_8 + R_9} \quad (5-45)$$

$$V_p = 20mV \rightarrow V_{in} = 10V \quad (5-46)$$

$$R_9 = 100\Omega ; R_8 \gg R_9 \rightarrow V_p = V_{in} * \frac{R_9}{R_8} \quad (5-47)$$

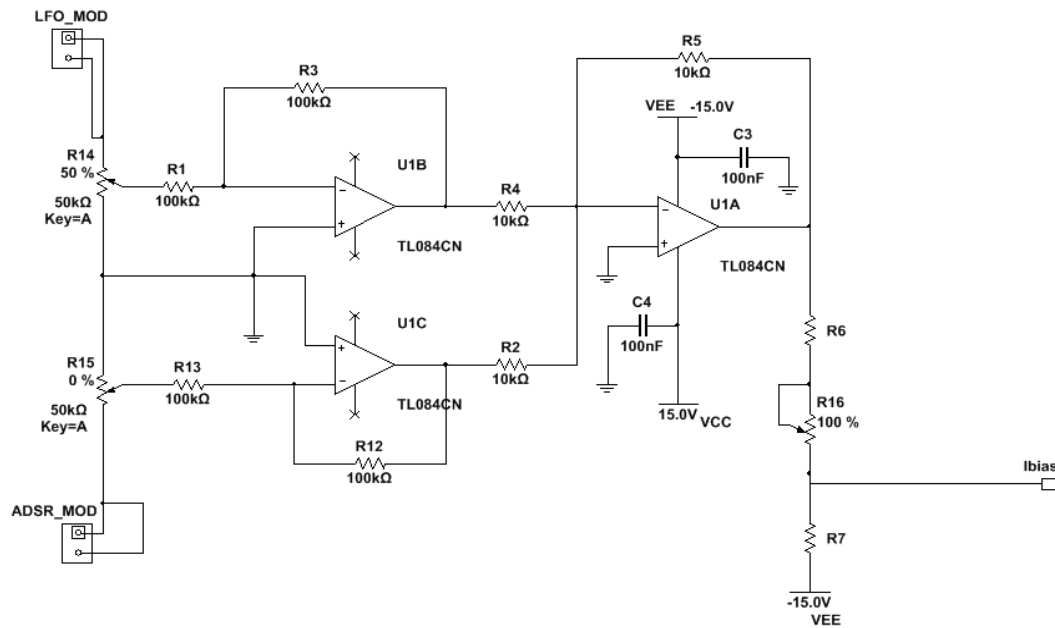
$$20mV = 10V * \frac{100}{R_8} \quad (5-48)$$

$$R_8 > \frac{1000}{20 * 10^{-3}} = 50k\Omega \quad (5-49)$$

Per tal de convertir el valor del corrent de la sortida s'ha de col·locar una resistència a massa. Per trobar el valor a continuació s'utilitza l'equació de sortida del circuit, ja que a l'apartat referent als operacionals de transconductància ja s'ha a parlat. Així doncs:

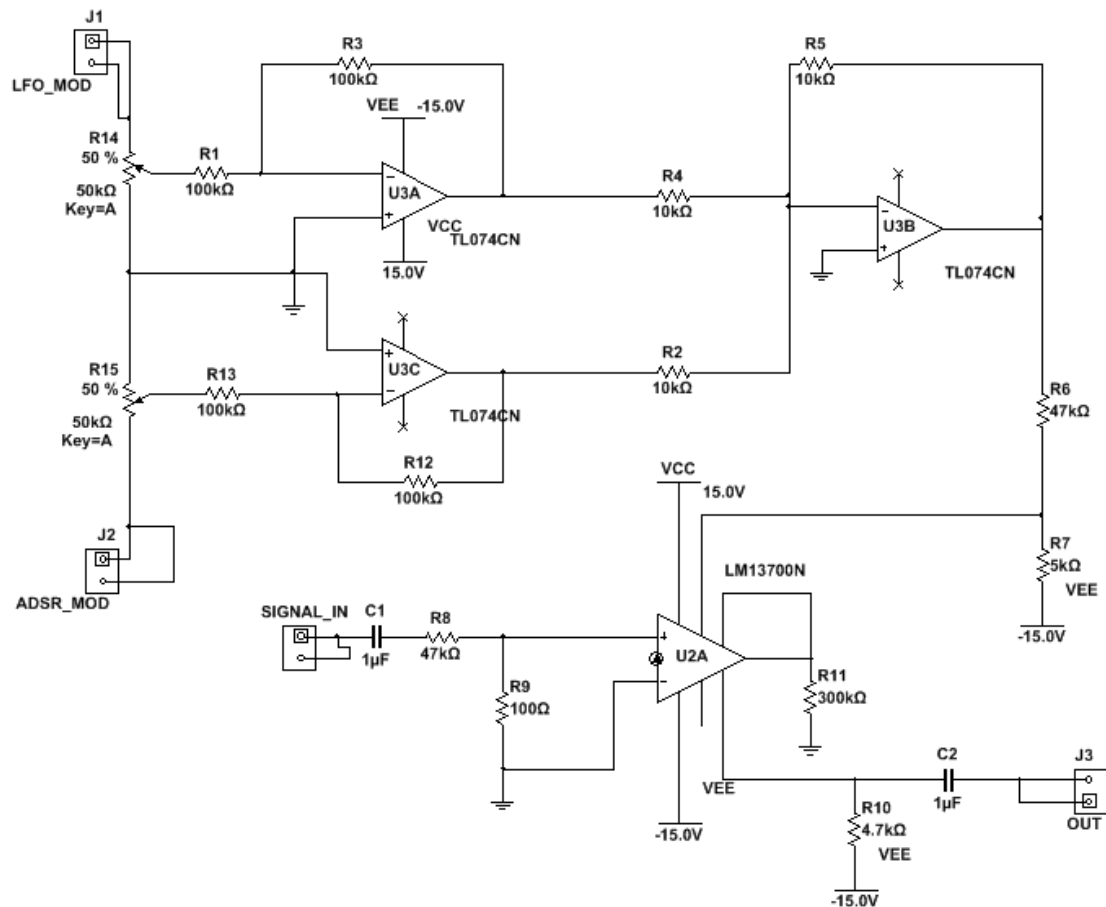
$$V_{out} = g_m * V_p * R \quad (5-50)$$

La part del control, s'ha dissenyat tenint en compte les entrades provinents del *LFO* i *ADSR*. Per una banda tenim el control provinent de l' *ADSR*, que té un nivell màxim de 10 V, i en cap cas serà inferior a 0 V. D'altra banda, tenim l'entrada provinent del *LFO* que tindrà uns nivells de $\pm 5V$ (10Vpp). Primer de tot cadascuna de les entrades passa a través d'un buffer per tal d'adaptar impedàncies i posteriorment s'han de sumar per tal de proporcionar el corrent de polarització.

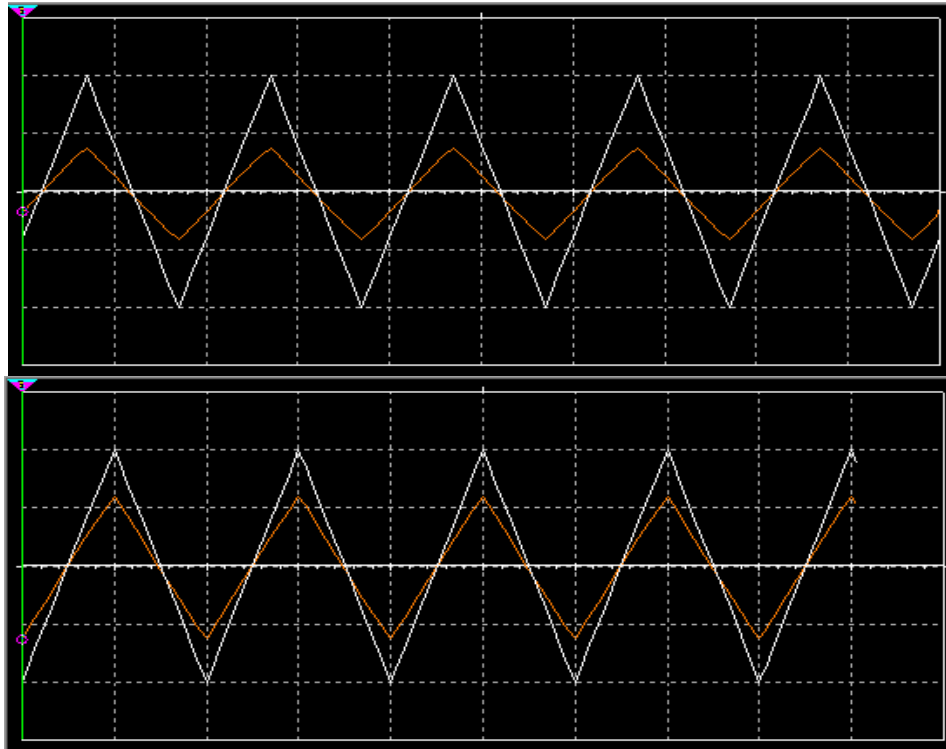


Il·lustració 5-22 Circuit d'adequació de les entrades de control

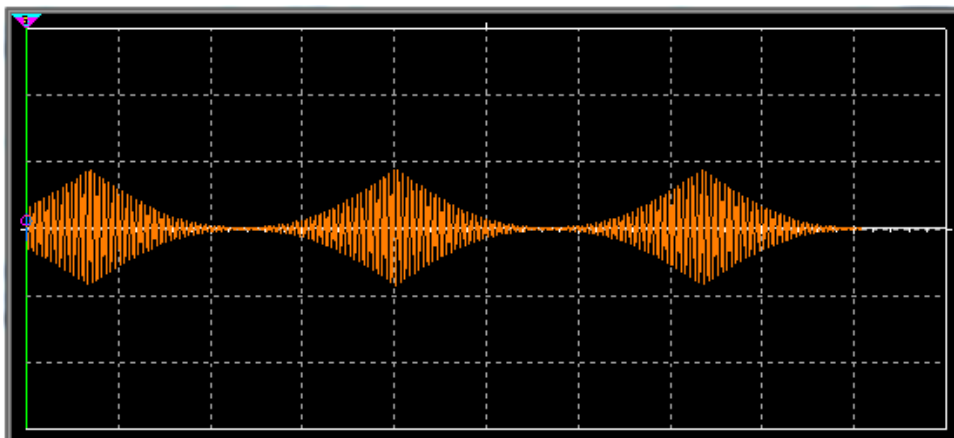
Com a resultat del total del circuit tenim el següent:



Il·lustració 5-23 Circuit final de l'amplificador

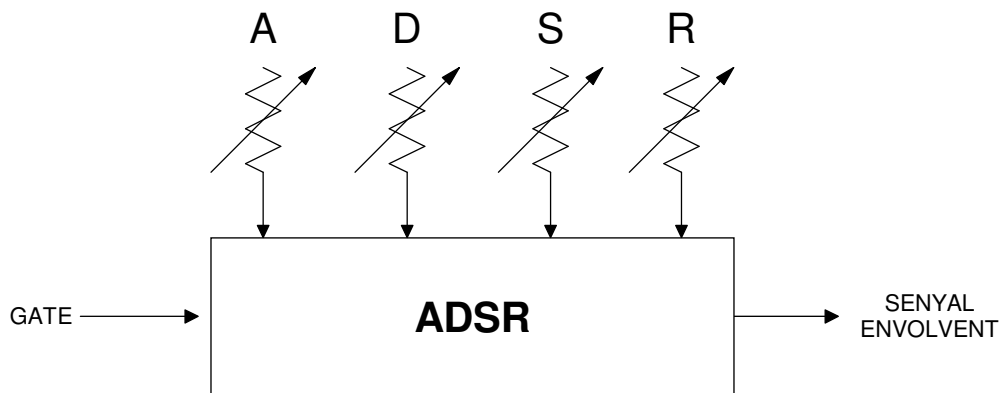


Il·lustració 5-24 Diferents simulacions de l'amplificador (5ms/div 5v/div)



Il·lustració 5-25 Efectes de la modulació en el amplificador

5.4 L'envoltant



Il·lustració 5-26 Esquema de l'envoltant

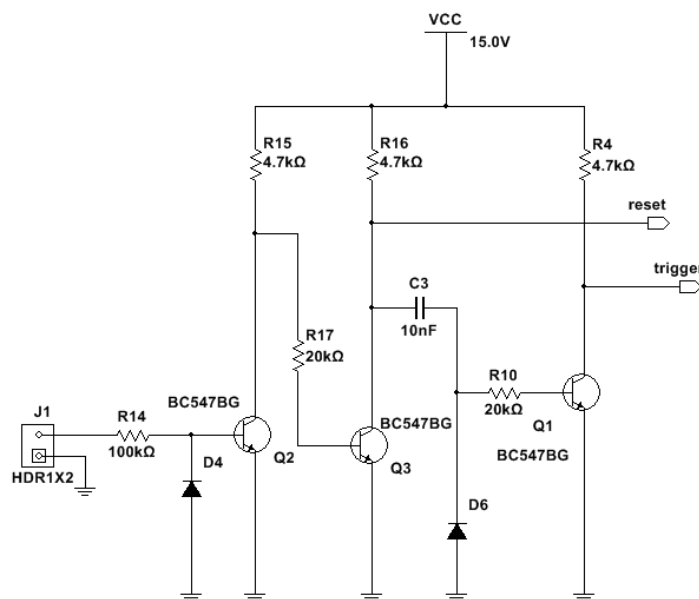
Com es pot veure del diagrama de blocs, l'envoltant té una entrada provinent del controlador que és l'entrada *gate*. Disposa també d'una sortida que servirà com a modulador d'amplitud pel mòdul amplificador. Per poder controlar els quatre trams diferents s'utilitzen potenciòmetres, un per a cada tram en que es divideix l'envoltant.

Resulta fàcil deduir que per tal d'arribar a aquest objectiu, una fàcil solució és utilitzar les característiques de càrrega i descàrrega d'un condensador. I a més, aquestes característiques són modificades a través dels potenciòmetres.

L'element principal del bloc és un LM555. A l'apartat de producció electrònica del so, s'explica de quina manera funciona internament. Coneixent el seu principi de funcionament, es presenten una sèrie de condicions com són :

- Reset asíncron actiu per nivell baix. Fins que no hi hagi un voltatge aplicat a la pota reset, el valor de sortida serà '0'.
- Disparador (*trigger*) , que ha d'estar sempre alimentat per tal de poder activar la sortida, però que és necessari que baixi a un valor de $1/3$ de V_{cc} en el moment en què desactivem el reset.

Com hem vist al principi d'aquest apartat, el bloc té el senyal *gate* com a entrada. Fet que soluciona la activació o no del reset. Referent al *trigger* no tenim una entrada d'aquestes característiques i per tant s'ha de crear un detector de flanc que ens generi una caiguda de tensió durant un temps. La solució pensada és la següent:



II-lustració 5-27 Circuit detector de flanc

Es gràcies al condensador que es genera el pols per crear una caiguda de tensió a la sortida *trigger*, ja que si fem l'anàlisi, en repòs, Q2 està en tall fet que la tensió V_{CE1} sigui igual a VCC. Per tant Q3 està saturat, $V_{CE2} = 0,2 \text{ V} \approx 0 \text{ V}$. Per tant el condensador no està carregat ni hi circula intensitat per tal de que Q1 deixi d'estar en zona de tall, per tant $V_{Ce1} = VCC$.

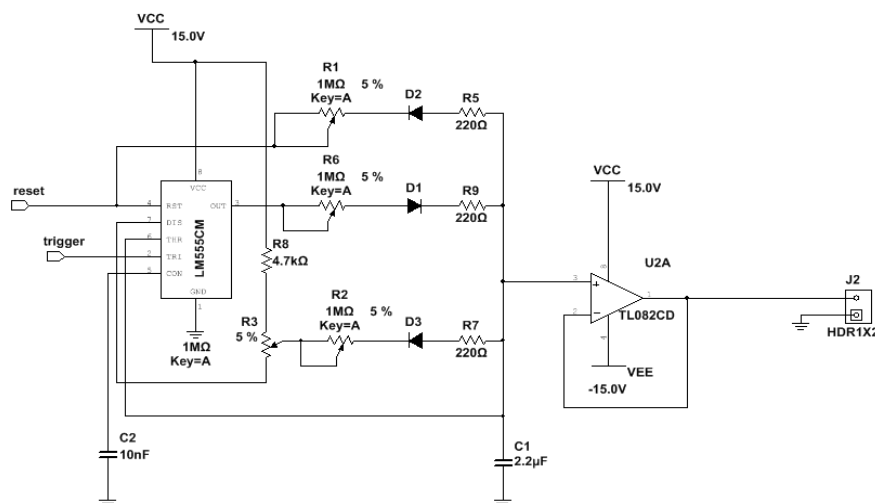
Si el senyal gate passa a tenir un valor diferent a 0, Q2 entrarà en saturació, fet que Q3 entri a la zona de tall i per tant que el condensador comenci a carregar-se. Si el condensador s'està carregant, gràcies al díode apareix un flux d'intensitat per la base de Q1 fet que entri en zona de saturació. Per tant, en funció del que tardi el condensador a carregar-se, tindrem una caiguda de tensió de mes o menys durada.

Després de fer el primer anàlisi, podem diferenciar quatre estats diferents pel que fa la sortida del LM555, en funció dels senyals reset i trigger, que alhora són funció del senyal gate.

ESTAT	GATE	RESET	TRIGGER	SORTIDA
Repòs	0	0	1	0
Inici	1	1	0	$0 \rightarrow 1$
Treball	1	1	1	1
Final	0	0	1	0

Taula 5-1 Estats diferents del mòdul de l'envoltant

El circuit generador del senyal es basa en la càrrega i descàrrega del condensador C1, és a dir entre els seus terminals hi tindrem el senyal que ens interessa. Dit això podem separar les etapes en la de càrrega i la de descàrrega, on la de càrrega té el seu inici quan tenim les entrades anteriors iguals a l'estat inici, i el seu final és el moment en què la tensió en borns del condensador supera $\frac{2}{3} V_{CC}$, que és el voltatge necessari a la pota 6, anomenada *llindar* o *thusbound* en anglès. Mentre que el procés de descàrrega, va des del final del procés de càrrega fins que l'estat de les entrades és igual l'estat final.

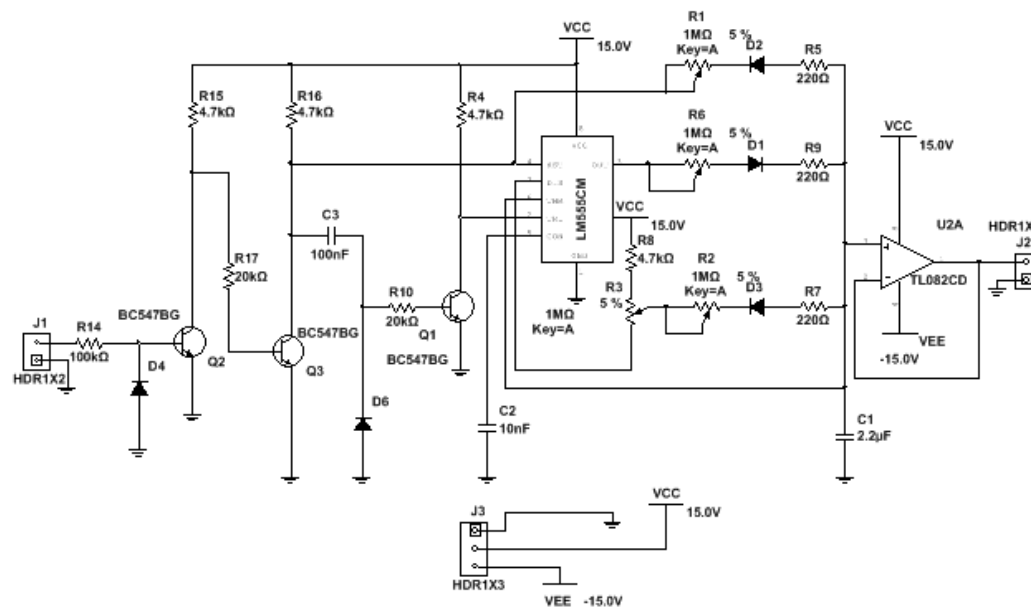


Il·lustració 5-28 Circuit per generar l'envoltant

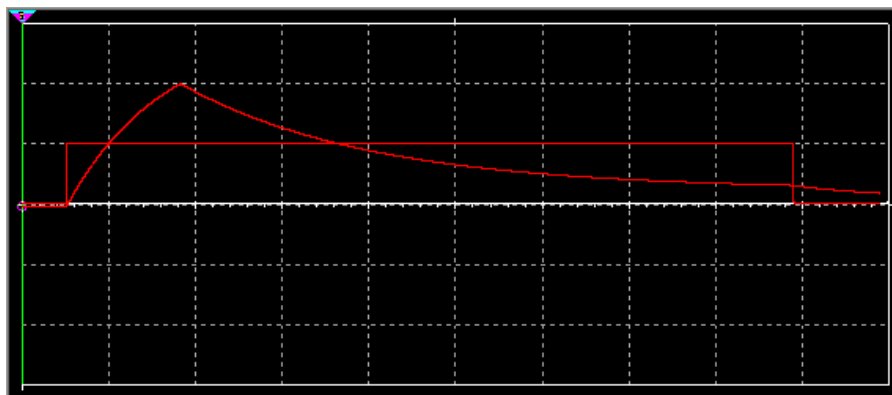
Gràcies a les propietats dels díodes, es distingeixen clarament les direccions de la corrent i per tant quines són les branques que intervenen en la càrrega i quines les que intervenen en la descàrrega. Quan s'inicia el procés de càrrega, via R6, D1 i R9, el condensador comença a carregar-se fins que gràcies a que tenim l'entrada 6 connectada a borns del condensador, la tensió arriba a $V_C = \frac{2}{3} V_{CC}$, és aquí on es determina el temps d'atac. Quan això passa, el flip-flop intern del integrat rep un reset, per tant canvia l'estat de la sortida i es para el procés de càrrega.

Ara la descàrrega es fa a través de les branques on tenim D2 i D3. Essent l'última l'encarregada de determinar els temps de caiguda i de sosteniment. El primer s'aconsegueix gràcies a R2 que determina la velocitat de descàrrega a un nivell de tensió que queda seleccionat per R3, gràcies al fet que està connectada a V_{CC} a través de R8. Quan aquestes dues tensions són iguals, és quan s'entra en el temps de sosteniment, que es mantindrà fins que el senyal *gate* desaparegui. Moment en què la branca on hi tenim D2 gràcies a que està connectada al col·lector del Q3, que està en saturació, el condensador es descarrega fins que entre els seus terminals la tensió és 0.

El circuit final te aquest aspecte:

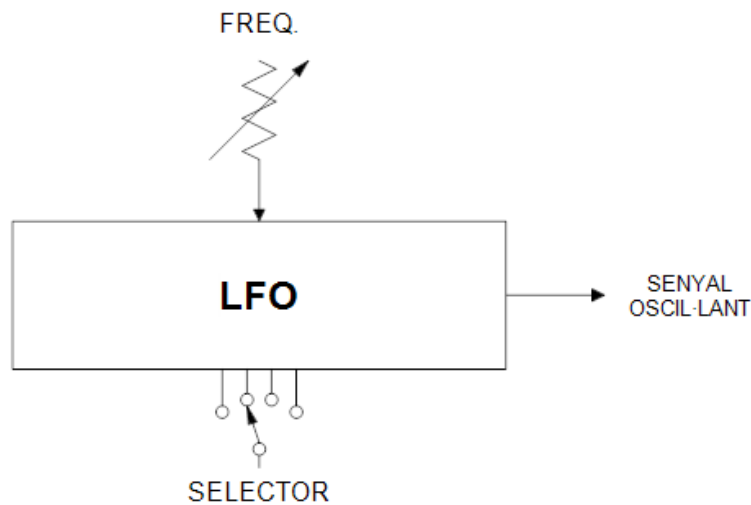


Il·lustració 5-29 Circuit final de l'envoltant



Il·lustració 5-30 Simulació del senyal de sortida en funció del senyal d'entrada (100ms/div 5v/div)

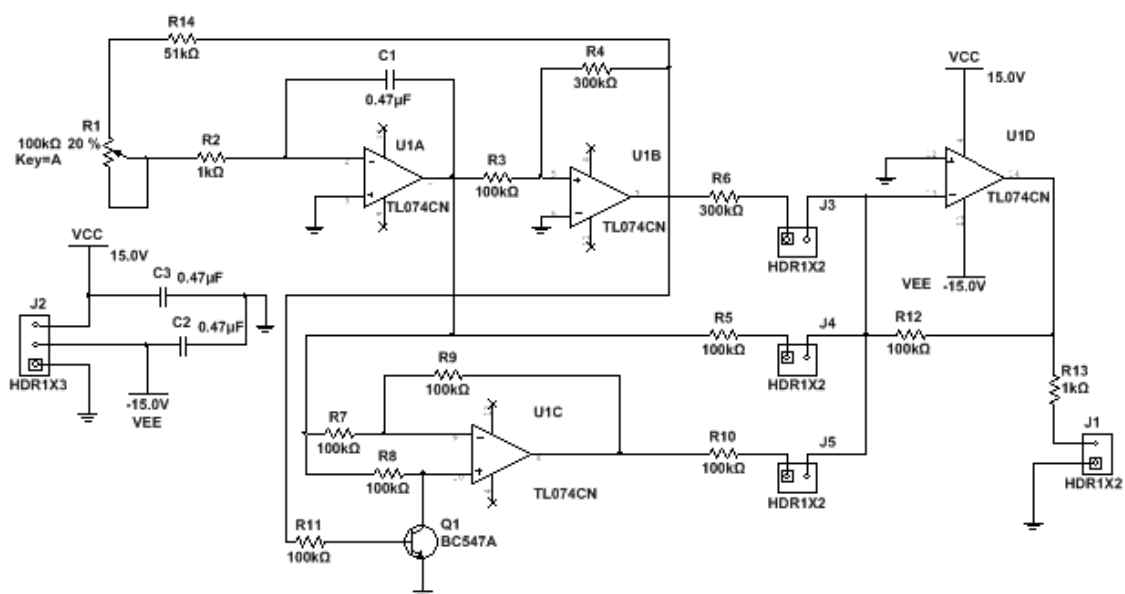
5.5 L'oscil·lador de baixa freqüència (LFO)



Il·lustració 5-31 Esquema de l'oscil·lador de baixa freqüència

L'oscil·lador de baixa freqüència té un aspecte molt semblant al VCO però en aquest cas no està controlat per tensió tal com s'aprecia en el diagrama de blocs, no té cap entrada de control. L'altre gran diferència és que no pot sobrepassar el llindar audible, ja que la finalitat no és la de produir sons sinó la de modular els altres blocs. Per tant com a requisits de disseny, tenim:

- Freqüència de treball {5 Hz, 20 Hz}-
- Valor de tensió de pic a pic no superiors a 10 V.
- Diferents formes d'ona a la sortida, concretament ona quadrada, triangular i dent de serra.



Il·lustració 5-32 Circuit final de l'oscil·lador de baixa freqüència

Les oscil·lacions s'aconsegueixen gràcies als operacionals U1A i U1B que estan configurats com a integrador i comparador d'*Schmitt* respectivament. El comparador a la seva sortida té únicament dos valors possibles que són V_{SAT_ALT} o V_{SAT_BAIX} . Fent que la tensió en el seu terminal no inversor sigui $V_+ = V_{out} \frac{R3}{R4}$.

Un cop fet aquests aclariments suposem que en l' instant $t = 0$, $V_{out_comp} = V_{SAT_ALT}$, per tant el valor de tensió al terminal no inversor del comparador hi tenim $V_+ = V_{SAT_ALT} \frac{R3}{R4}$. Pel fet que treballen en laç tancat, aquest valor de tensió travessa una sèrie de resistències i va a parar a l'entrada inversora de l'integrador fent que les plaques del condensador es comencin a carregar. Com a resultat de tot aquest procés, a la sortida tenim una tensió que serà:

$$V_{out_int} = -\frac{1}{R * C} \int V_{SAT} dt \quad (5-51)$$

$$V_{out_int} = -\frac{V_{SAT}}{R * C} * t \quad (5-52)$$

Com s'observa de la equació, el condensador s'anirà carregant a un ritme constant al llarg del temps fins que la tensió de sortida sigui igual però de signe contrari a la tensió de V_+ del comparador. Moment en què el comparador canviarà el seu estat, ja que el voltatge de referència aplicat a la pota inversora és de 0V.D'aquesta manera s'aniria repetint el cicle fins que no es tregui l'alimentació del circuit.

La rapidesa en què tot aquest procés succeeix, depèn del valor $\frac{V_{SAT}}{R * C}$. Per tant modificant el valor de R es pot fer que el senyal resultant tingui un període més gran o més baix. Per tal de conèixer quin valor de R necessitem, s'han fet els diferents càlculs:

$$R = R1 + R2 + R14 \quad (5-53)$$

$$V_{SAT} * \frac{R3}{R4} = \frac{V_{SAT}}{R * C} * t \quad (5-54)$$

$$t = \frac{R3 * R * C}{R4} \quad (5-55)$$

$$T = 2 * t \rightarrow t = \frac{T}{2} \quad (5-56)$$

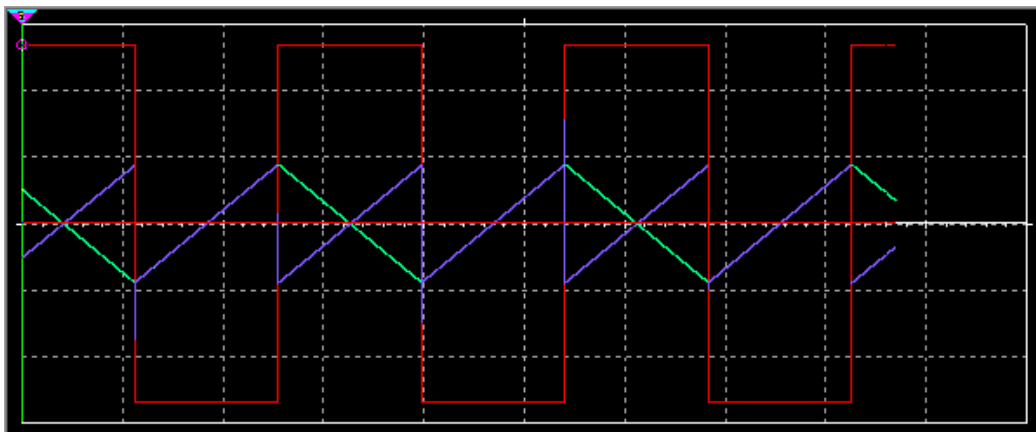
$$T = \frac{2 * R3 * R * C}{R4} \quad (5-57)$$

$$T = \frac{1}{f} \quad (5-58)$$

$$f = \frac{R4}{2 * R3 * R * C} \quad (5-59)$$

Si es fixen valors com són $R4 = 300K\Omega$; $R3 = 100K\Omega$; $C = 0,47\mu F$; $R2 = 1K\Omega$ i $R14 = 51K\Omega$ llavors podem trobar el valor que ha de tenir el potenciòmetre per tal que el senyal tingui una freqüència de entre 5 i 20Hz.

$$Pote_{20Hz} = \frac{300 * 10^3}{20 * 2 * 100 * 10^3 * 0,47 * 10^{-6}} - 52 * 10^3 = 107574\Omega \approx 100K\Omega \quad (5-60)$$



Il·lustració 5-33 Simulació del senyals obtinguts a la sortida de l'oscil·lador de baixa freqüència (20ms/div 5v/div)

5.6 Generació del senyal de control (CV)

Aquest mòdul ha sigut dissenyat pràcticament tot dins d'una FPGA, pensant en les propietats que tenen a l'hora d'executar els programes introduïts en elles. Per explicar de quina manera s'ha implementat cal remarcar una sèrie de paràmetres, com són, la quantitat de tecles que tindrà el teclat, ja que el senyal de control és funció de la nota i l'octava. La quantitat d'octaves que es volen poder processar i de quina manera convertim el senyal digital de la FPGA en un senyal analògic.

Referent al teclat, està compost de 24 tecles, és a dir dues octaves, però gràcies a dos polsadors que serviran per incrementar o decreixer les octaves, es cobreixen les que van de la 1a a la 6a octava. D'altra banda, la tècnica utilitzada per convertir el procés per generar el senyal de control, ha estat la modulació per amplada de pols o *PWM* de les inicials en anglès (*Pulse Width Modulation*). A continuació s'expliquen amb detall quin ha sigut el seu disseny.

Els 26 polsadors, 24 del teclat i dos per desplaçar-se per les octaves, estan connectats als pins de la FPGA a través d'una resistència *pull-down*. D'aquesta manera aconseguim que mentre no premi cap polsador, el pin està connectat a massa, fent que es trobi en estat *LOW* o el que és el mateix '0'.

Tot seguit s'hi veuen els diferents mòduls en format blocs, cadascun d'aquests blocs s'ha programat de manera independent en llenguatge de descripció de hardware *VHDL*. El codi de cadascun dels diferents blocs es pot trobar en els annexos.

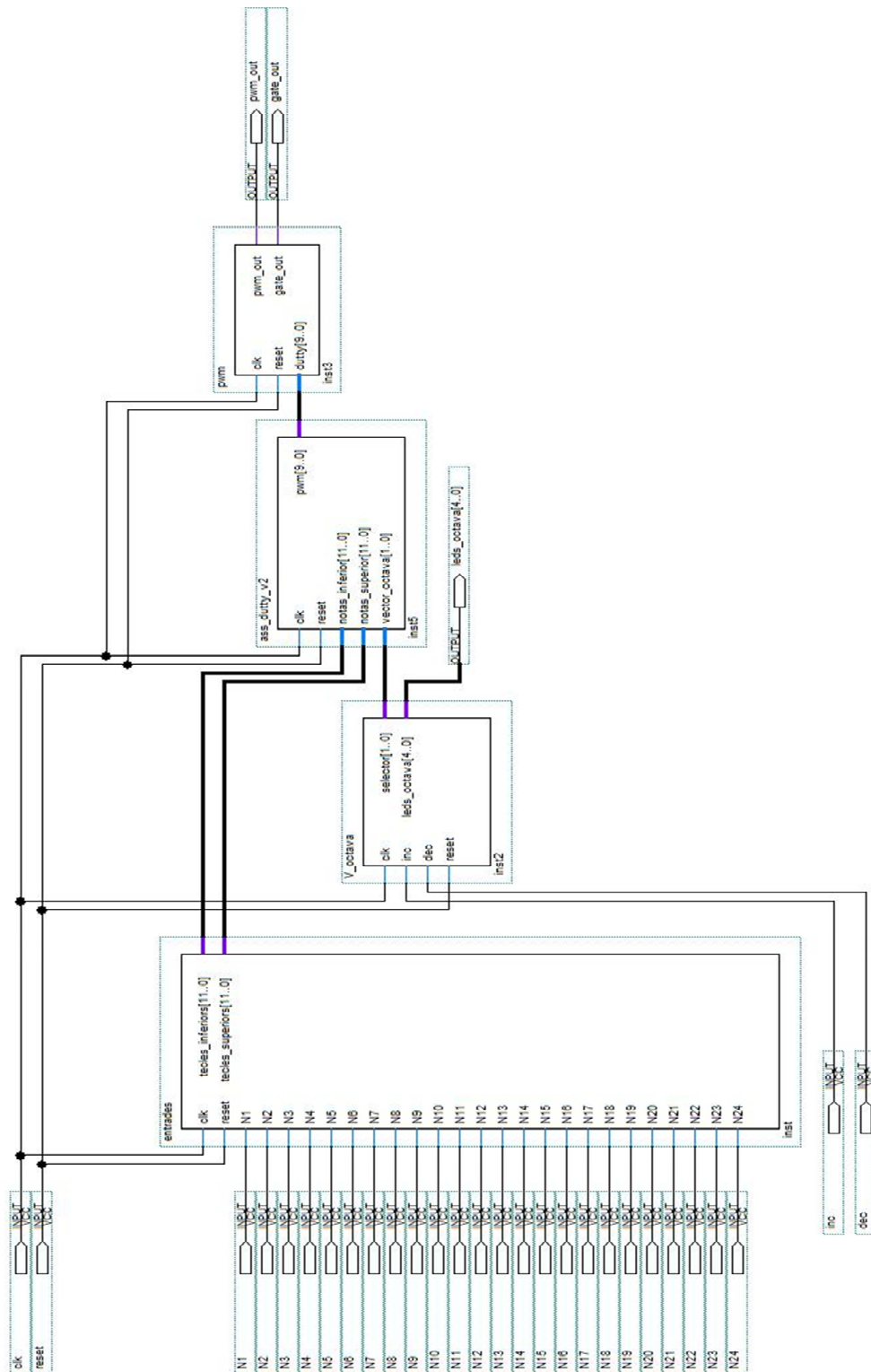
Primerament hi ha el que s'encarrega de llegir les entrades. A cadascuna de les entrades s'hi ha implementat un filtre per evitar els rebots que produeixen els polsadors mecànics. Un cop s'han filtrat s'agrupen en dos vectors, d'aquesta manera queden separats en octaves.

Paral·lelament hi ha el mòdul encarregat del control dels dos polsadors que fan incrementar o decreixer les octaves. Com en el cas anterior s'han filtrat les entrades, i s'ha implementat un registre de desplaçament o cap a l'esquerra o cap a la dreta, en funció si volem pujar o baixar la octava.

Els mòduls anteriors van a parar al que s'encarrega d'assignar un temps de cicle en funció de les entrades provinents del teclat i del control de l'octava. Bàsicament es tracte d'un multiplexor que assigna un rang de valors en funció de l'octava i posteriorment quan tenim alguna entrada en estat *HIGHT* s'hi assigna un valor concret del rang.

Per últim, el valor del temps de cicle entra en el mòdul encarregat de generar el senyal de modulació per amplada de pols. Internament es basa en un comptador que es va comparant cada pols de rellotge i incrementant fins a arribar a 2^n , moment en què es posa a '0' per tal de començar de nou un

període. Mentre s'està executant aquest bloc es posa a nivell alt una sortida que serà la utilitzada com a senyal *gate*.



Il·lustració 5-34 Esquemàtic del disseny implementat a l'FPGA

Resulta evident que el següent pas és trobar el valor de 2^n , més concretament al valor n . Aquest fa referència als bits que ha de tenir la paraula que conte el temps de cicle, és a dir la resolució. Per poder-lo conèixer hem de recuperar l'equació que definia el comportament del circuit oscil·lador, amb l'objectiu de conèixer el valor de tensió necessària a l'entrada de l'oscil·lador en funció de la freqüència .

$$f = \frac{v_{in}}{4 * R1 * C * \Delta V}$$

$$V_{in} = 4 * R1 * C * \Delta V * f$$

$$4 * R1 * C * \Delta = K$$

Com que els valors d' $R1$, de C i Δ , són coneguts ens queda el següent:

$$V_{in} = K * f$$

R	C	ΔV	K
100000	5,5E-10	15	0,0033

Si amb la següent taula es van donant els valors de f , com a resultat tindrem el que desitjàvem, que és el voltatge necessari per a cascuna de les freqüències.

	FREQUÈNCIA (Hz)				
DO	130,81	261,61	523,22	1046,44	2092,88
DO'	138,58	277,17	554,34	1108,67	2217,35
RE	146,83	293,65	587,30	1174,61	2349,21
RE'	155,56	311,11	622,23	1244,46	2488,92
MI	164,81	329,62	659,23	1318,47	2636,93
MI'	174,61	349,22	698,44	1396,88	2793,75
FA	184,99	369,99	739,97	1479,95	2959,90
SOL	196,00	391,99	783,98	1567,96	3135,92
SOL'	207,65	415,30	830,60	1661,21	3322,42
LA	220,00	440,00	880,00	1760,00	3520,00
LA'	233,08	466,17	932,33	1864,67	3729,33
SI	246,94	493,89	987,78	1975,56	3951,12

Taula 5-2 Taula de freqüències de les octaves de la 1a a la 6a

	VOLTS (V)				
DO	0,43	0,86	1,73	3,45	6,91
DO'	0,46	0,91	1,83	3,66	7,32
RE	0,48	0,97	1,94	3,88	7,75
RE'	0,51	1,03	2,05	4,11	8,21
MI	0,54	1,09	2,18	4,35	8,70
MI'	0,58	1,15	2,30	4,61	9,22
FA	0,61	1,22	2,44	4,88	9,77
SOL	0,65	1,29	2,59	5,17	10,35
SOL'	0,69	1,37	2,74	5,48	10,96
LA	0,73	1,45	2,90	5,81	11,62
LA'	0,77	1,54	3,08	6,15	12,31
SI	0,81	1,63	3,26	6,52	13,04

Taula 5-3 Voltatge necessari a l'entrada del VCO en funció de la nota

De la taula veiem que el voltatge més gran necessari és de 13,04 V. Però la FPGA treballa amb una tensió de 3,3 V, per tant per seguir endavant prèviament s'ha de fer una extrapolació de valors, on el valor màxim sigui 3,3 V. Per trobar-los únicament s'ha de conèixer la seva relació:

$$r = \frac{13,04}{3,3} = 3,951 \approx 4 \quad (5-61)$$

Dividint cada valor entre 4 s'obté:

	VOLTS (V)				
DO	0,108	0,216	0,432	0,863	1,727
DO'	0,114	0,229	0,457	0,915	1,829
RE	0,121	0,242	0,485	0,969	1,938
RE'	0,128	0,257	0,513	1,027	2,053
MI	0,136	0,272	0,544	1,088	2,175
MI'	0,144	0,288	0,576	1,152	2,305
FA	0,153	0,305	0,610	1,221	2,442
SOL	0,162	0,323	0,647	1,294	2,587
SOL'	0,171	0,343	0,685	1,370	2,741
LA	0,182	0,363	0,726	1,452	2,904
LA'	0,192	0,385	0,769	1,538	3,077
SI	0,204	0,407	0,815	1,630	3,260

Taula 5-4 Volts necessaris en nivell eficaç a la sortida de l'FPGA

	%				
DO	3,3	6,5	13,1	26,2	52,3
DO'	3,5	6,9	13,9	27,7	55,4
RE	3,7	7,3	14,7	29,4	58,7
RE'	3,9	7,8	15,6	31,1	62,2
MI	4,1	8,2	16,5	33,0	65,9
MI'	4,4	8,7	17,5	34,9	69,8
FA	4,6	9,2	18,5	37,0	74,0
SOL	4,9	9,8	19,6	39,2	78,4
SOL'	5,2	10,4	20,8	41,5	83,1
LA	5,5	11,0	22,0	44,0	88,0
LA'	5,8	11,7	23,3	46,6	93,2
SI	6,2	12,3	24,7	49,4	98,8

Taula 5-5 Temps de cicle del senyal PWM

	DUTTY CYCLE				
DO	33	67	134	268	536
DO'	35	71	142	284	568
RE	38	75	150	301	601
RE'	40	80	159	319	637
MI	42	84	169	338	675
MI'	45	89	179	358	715
FA	47	95	189	379	758
SOL	50	100	201	401	803
SOL'	53	106	213	425	851
LA	56	113	225	451	901
LA'	60	119	239	477	955
SI	63	126	253	506	1011

Taula 5-6 Valor del comptador

El següent pas ha sigut trobar, quina és la diferència que hi ha entre dos números consecutius per tal de saber quina ha de ser la nostra resolució. Resulta evident que per les propietats de l'escala musical la diferencia més petita estarà entre els dos primers valors.

$$\Delta_{petit} = 0,114 - 0,108 = 0,006 \quad (5-62)$$

$$r = \frac{3,3}{2^n} = \Delta_{petit} \quad (5-63)$$

$$2^n = \frac{3,3}{\Delta_{petit}} = \frac{3,3}{0,006} = 550 \quad (5-64)$$

Per tant hem d'utilitzar una paraula de 10 bits, ja que $2^{10}=1024$, mentre que $2^9=512$. Amb 10 bits, la resolució obtinguda és de 0,003. També es pot conèixer la freqüència del senyal modulad, que cada 1024 polsos de rellotge, obtindrem un període, sabent que $f_{CLK} = 50MHz$.

$$f_{PWM} = \frac{50MHz}{1024} \cong 48,8KHz \quad (5-65)$$

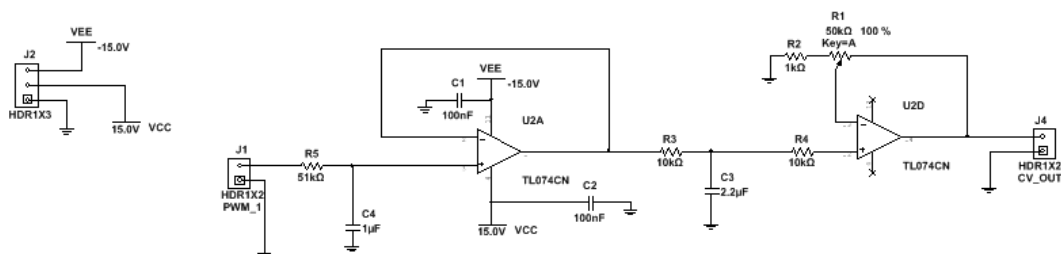
Com es pot observar, es tracta d'una freqüència bastant elevada que ens anirà bé pel següent pas i últim en la generació del senyal de control. Aquest pas consisteix a aconseguir un senyal continu, amb el mínim d'arissat possible. Per aconseguir-ho s'ha fet un disseny d'un filtre passa baixos de segon ordre amb un guany de quatre, i amb una freqüència de tall el més baixa possible complint la condició que es pot veure a continuació.

$$f_c \ll f_{PWM} < f_{CLK} \quad (5-66)$$

Seguint la condició s'ha escollit com a freqüència de tall 20 Hz, també s'escull una resistència d'un valor normalitzat, en aquest cas s'escull bastant alta, 51 K ohms, per tal d'obtenir un valor del condensador raonable :

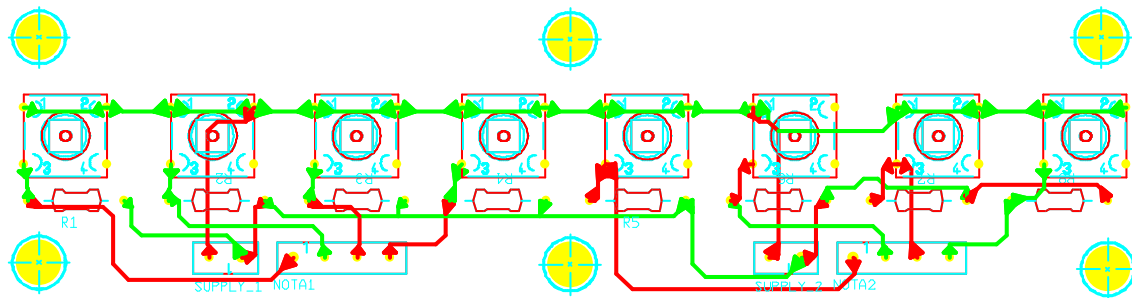
$$f_c = \frac{1}{2 * \pi * R * C} \quad (5-67)$$

$$C = \frac{1}{2 * \pi * 51000 * 20} \cong 0,1\mu F \quad (5-68)$$

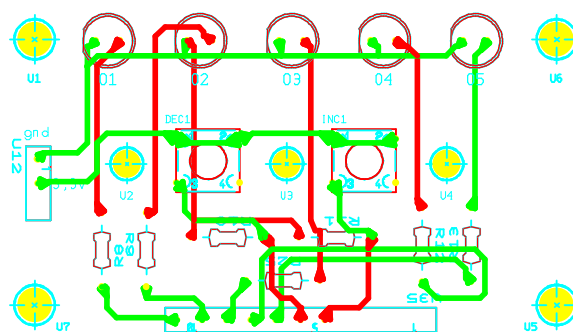


Il·lustració 5-35 Circuit del convertidor digital analògic

Com s'ha comentat anteriorment en aquest capítol tenim un teclat de 24 notes i un control d'octaves. En el cas del teclat s'ha fet amb l'agrupació de tres plaques amb el mateix disseny, cadascuna amb vuit polsadors i connectades als polsadors una resistència *pull-down*. Pel que fa a el control d'octaves, es tracte de dos polsadors també amb les seves resistències i cinc leds. Cada led fa referència a una octava. D'aquesta manera l'usuari sap en quina octava està. Els dissenys són els següents:

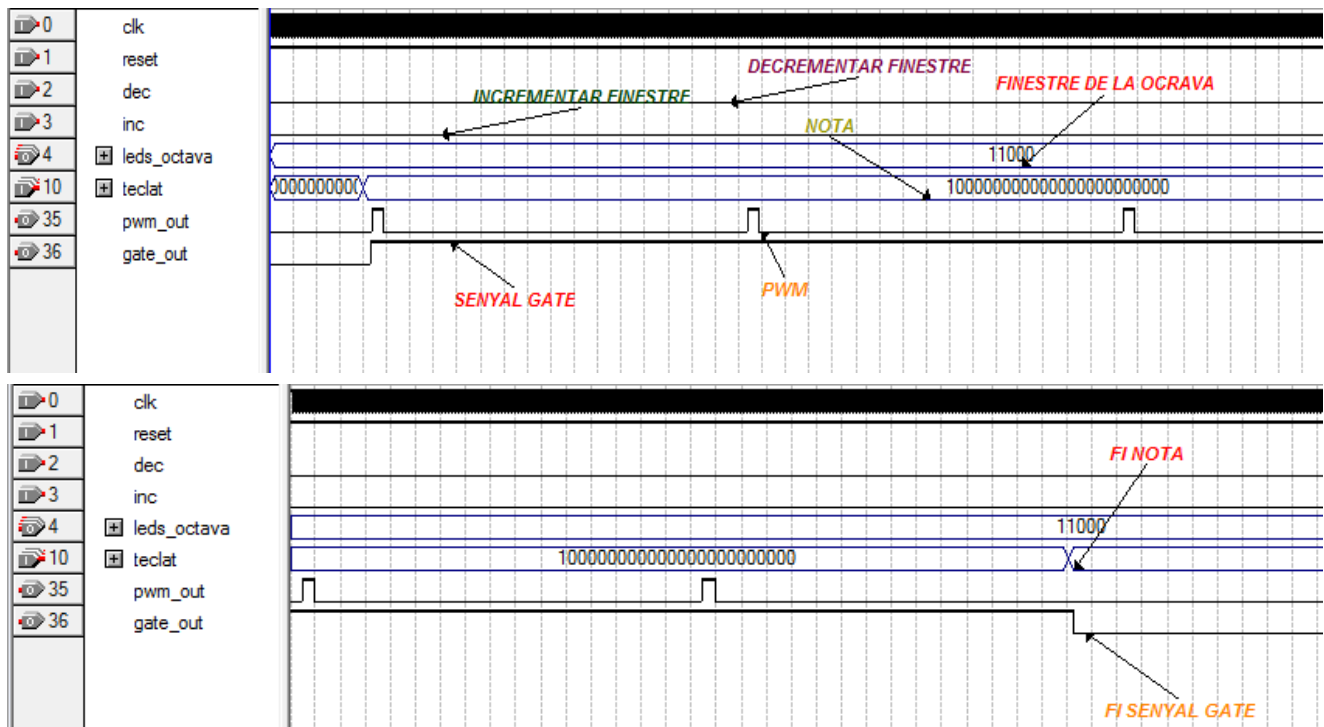


Il·lustració 5-36 Circuit imprès del teclat



Il·lustració 5-37 Circuit imprès del control d'octaves

Per acabar, es mostren diferents simulacions on es pot observar el funcionament d'aquest últim apartat del capítol. En aquest cas les simulacions són de software i no de circuits. El primer gràfic ens mostra el mateix que el segon, però el grup d'entrades anomenat teclat, està desplegat. D'aquesta manera es pot veure que hi ha una nota polsada, concretament el DO de la segona octava. En el segon, el grup de notes s'ha minimitzat per tal d'observar amb més claredat la resta de senyals.



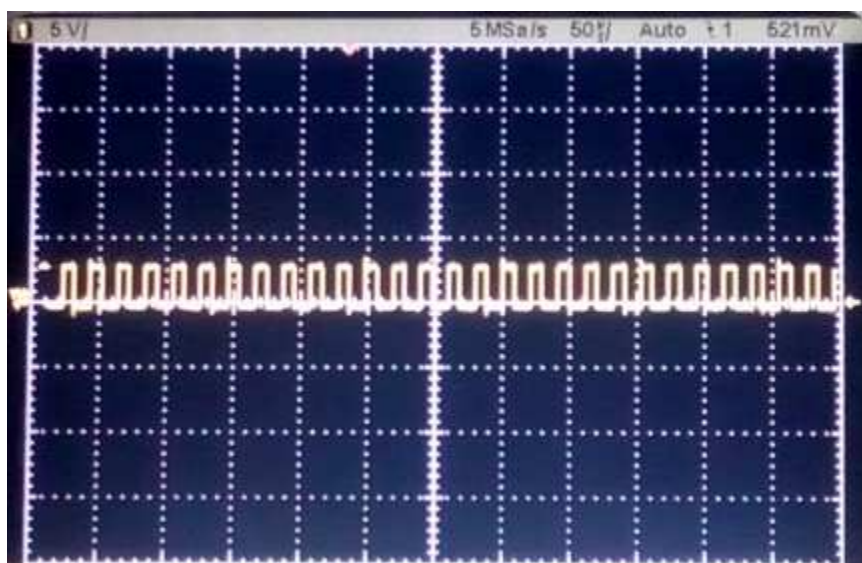
Il·lustració 5-38 Simulacions del software implementat a l'FPGA

Si ens fixem en el segon gràfic, podem veure dos períodes del senyal *PWM*, el qual té un temps de cicle molt baix, ja que es tracta de la primera nota. El senyal que queda per sota, és el senyal de control *gate* que com s'observa mentre tenim una nota polsada té un valor de '1'. També s'observa un vector de cinc bits que indiquen quines són les dues octaves de treball, aquests cinc bits són utilitzats per il·luminar uns leds que ajuden a saber en quina posició estem.

6. Muntatge i ajust de les parts

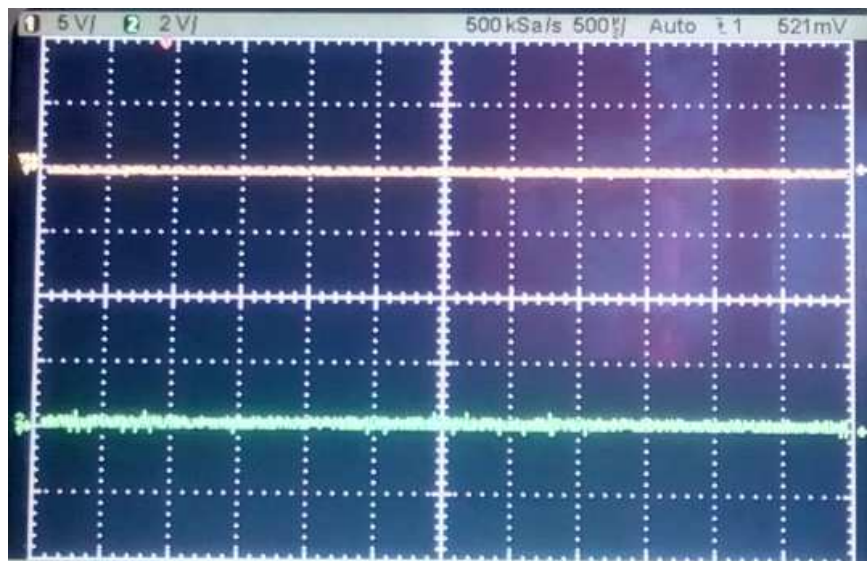
En aquest capítol, s'explica com està feta la connexió entre totes les parts, la manera en com s'han d'ajustar cadascun dels mòduls individualment i també on s'han de buscar les possibles falles que hi puguin haver.

Per començar s'ha programat la *FPGA* amb el codi que es pot trobar a l'apartat dels annexos. Un cop programada, s'ha fet la connexió del teclat i dels pulsadors de selecció de les octaves, seguint l'assignació de pins que també es pot trobar a l'apartat dels annexos. Un cop tenim connectades les entrades, podem engegar la *FPGA* i verificar que s'obté un senyal *PWM* en el pin de sortida.

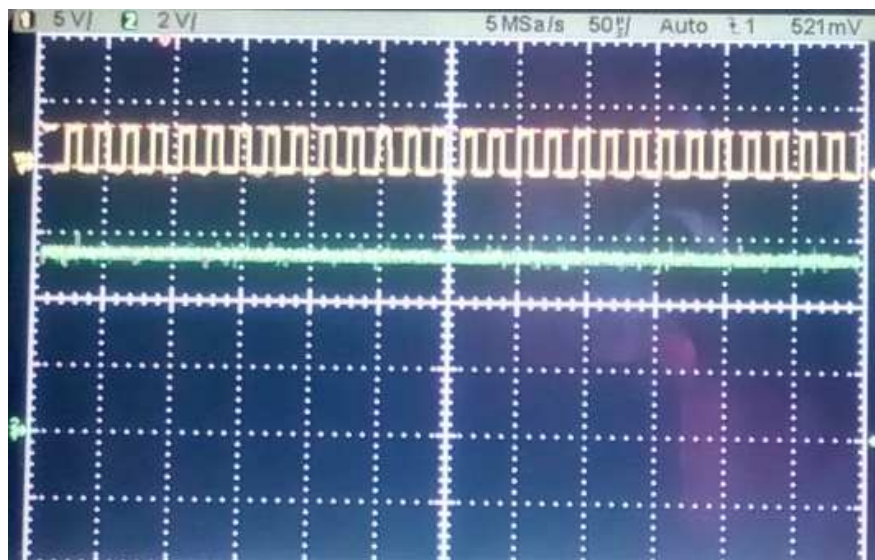


Il·lustració 6-1 Senyal del *PWM* a la sortida de la *FPGA*

Un cop hem observat aquest senyal és hora de connectar-lo a la placa del convertidor digital a analògic. Com ja s'ha explicat amb anterioritat a la sortida s'ha de veure una tensió amb el mínim d'arissat possible i a més el voltatge ha de coincidir amb els voltatges de la taula 5.3, en cas contrari, aquesta placa disposa d'un potenciòmetre per tal de modificar el guany, que si recordem era una mica inferior a 4 .



Il·lustració 6-2 Sortida del convertidor sense cap nota presa



Il·lustració 6-3 Sortida del convertidor amb un LA de la quarta octava

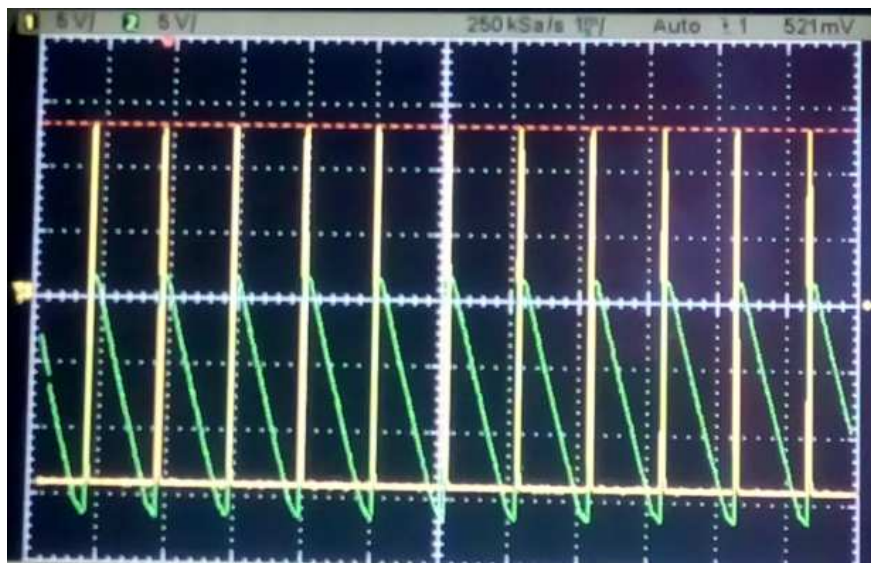
6.1 Oscil·lador controlat per tensió

Un cop fet l'ajust de la part anterior podem començar amb l'ajust de l'oscil·lador principal. No cal dir que prèviament s'ha de connectar a la font d'alimentació i la sortida del filtre a l'entrada corresponent (J4, pin 2). Tot seguit, s'han de moure tots els potenciòmetres de tal manera que actuï tot el seu valor resistiu i posteriorment es pot donar tensió.

De la mateixa manera que s'ha procedit abans, es prem una nota i es verifiquen ja sigui amb el tèster o amb l'oscil·loscopi quin valor de tensió hi ha

en el node *CV* de l'esquema, que ha de ser el mateix que el que indica la taula que ja s'ha utilitzat anteriorment, però en aquest cas el valor no ha de ser el dividit sinó que ha de ser el valor de control que demana l'oscil·lador. És en aquest punt on entra en joc un dels potenciòmetres, concretament l'*R34*, que té la funció d'ajust fi del senyal de control.

Verificats tots aquests punts és hora de observar la sortida per tal de verificar diferents coses, per una banda abans de moure cap potenciòmetre del mesclador, comprovem que no hi tenim cap senyal ni continu ni altern a la sortida, tot seguit puja el valor òhmic del potenciòmetre *R21* i el que s'ha de veure és un senyal triangular amb la freqüència que s'espera de la nota polsada. Es fa el mateix amb el potenciòmetre *R17* que correspon al senyal quadrat. Quan es tenen aquests dos senyals comprovats és hora del dent de serra, abans però s'han de fer un seguit d'ajustos. Si col·loquem una sonda a la sortida del senyal triangular, i l'altra sonda a la sortida del senyal del dent de serra, a través del potenciòmetre *R10* es va variant l'*offset* del comparador fins que s'observin uns senyals que estiguin ben coordinats i que el senyal dent de serra no quedi tallat. A continuació es mostra com hauria de ser aquest senyal:



Il·lustració 6-4 Senyal dent de serra i sincronisma

Per acabar tornem a observar la sortida, i ara si, podem modificar els tres potenciòmetres del mesclador i veure els tres senyals per separat o veure com queden mesclats entre ells.

6.2 Filtre controlat per tensió

Abans d'iniciar la comprovació del circuit, s'han de posicionar els diferents potenciòmetres. En el cas del què s'encarrega de moure la freqüència de tall, s'ha de situar al centre del seu rang. El referent al factor de qualitat ha de quedar amb un valor òhmico que sigui '0', és a dir girat cap a un extrem. L'altre potenciòmetre, dedicat a la modulació, no afecte en aquest moment el seu valor.

Un cop connectat, podem prémer una nota qualsevol i observar la sortida. S'ha d'anar amb compte de què si s'ha pres una nota de baixa freqüència, no hi haurà cap senyal a la sortida del filtre pertinent al passa alts. El mateix passa a l'invers, si es prem una nota d'alta freqüència no observarem cap senyal a la sortida dels passa baixos. Dit això, es pot realitzar la comprovació i experimentar tot modificant els potenciòmetres de control i el del factor 'Q'.

En aquest punt, val a dir què s'ha detectat una falla lleu en el moment d'interconnectar-ho tot. Es tracta de que aquest mòdul, té un offset de tensió en el senyal de control, aquest fet provocava que a l'entrada de control de l'oscil·lador controlat per tensió també hi hagués aquest senyal i com a conseqüència estava constantment oscil·lant. La solució adoptada ha estat la introducció d'un díode a l'entrada de control i d'aquesta manera evitem el flux d'intensitat en un dels sentits.

6.3 Amplificador controlat per tensió

Aquest mòdul, només conté un punt de configuració. Es tracta del potenciòmetre *R16* que únicament té la funció de poder modificar el guany de l'amplificador, per si en el futur fos necessari que el valor de pic a pic màxim sigui inferior. Per comprovar el funcionament de tot el mòdul, connectem una de les sortides del filtre i la connectem a l'entrada i es fa sonar una nota que es vegi afectada pel filtre d'on surt el senyal. És a dir, si s'utilitza la sortida passa-baixos del filtre, la nota que es premi per fer la comprovació sigui una nota més aviat petita, ja que en cas contrari pot ser que el senyal que surt del filtre podria confondre.

Abans de fer la comprovació, s'ha d'aplicar una tensió, ja sigui per l'entrada de l'oscil·lador de baixa freqüència o per la de l'envoltant. Com que encara no s'han comprovat, ens podem ajudar amb el senyal de control de voltatge que s'utilitza en els anteriors mòduls. Fet això ja es poden fer les mesures del senyal.

6.4 Oscil·lador de baixa freqüència

En aquest cas, tant l'envoltant com l'oscil·lador, no tenen cap element de configuració prèvia. Únicament s'ha d'alimentar amb la font d'alimentació i en el cas de l'envoltant, s'ha de connectar a la sortida *gate_out* del *FPGA*.

7. Millores

Durant la realització del projecte s'han anat pensant una sèrie de millores per tal de millorar les prestacions, simplificar el conjunt o optimitzar diferents parts. En aquest capítol es fa un recull d'algunes d'elles. Hi ha que s'han implementat, d'altres que s'han fet els dissenys i simulacions, però que no s'han introduït, i altres que s'han pensat però que no s'han desenvolupat.

Una de les millores que s'han implementat ha sigut introduir tres modes de treball nous, a banda del mode normal que és el que s'ha vist fins ara. Aquests tres mètodes de funcionament nous s'han anomenat mode *repeat*, mode *rec* i mode *play*. Veient el nom, ja podem intuir l'ús que tindran.

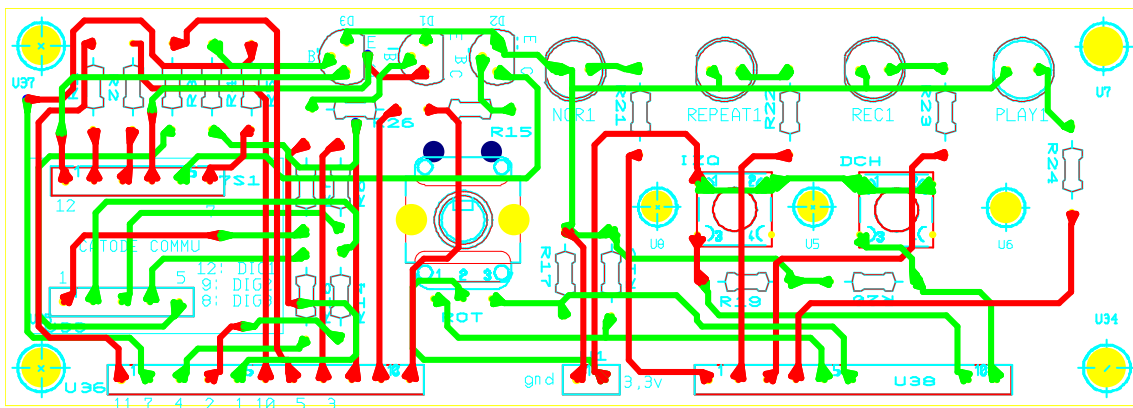
El mode *repeat* va reproduint constantment la nota que es prem, sempre que es premi una, aquesta passarà a ser la nota a repetir. En el cas del mode *repeat*, treballa conjuntament amb el mode *play*, el primer és l'encarregat d'enregistrar els valors de cadascuna de les notes que es premin per tal de ser reproduïdes de manera repetitiva quan estiguem en el mode *play*. Bàsicament es tracta d'una espècie de seqüenciador, que va reproduint un seguit de notes que prèviament han sigut memoritzades en el mode *rec*.

Quan ens trobem en el mode *play* podem modificar a través d'un *encoder*, el valor mostrat per un display set segments de tres dígit. El qual fa referència als coneguts com a *BPM*, de l'anglès *Beats per minute*, que equival a la quantitat de tons que es reproduiran durant un minut.

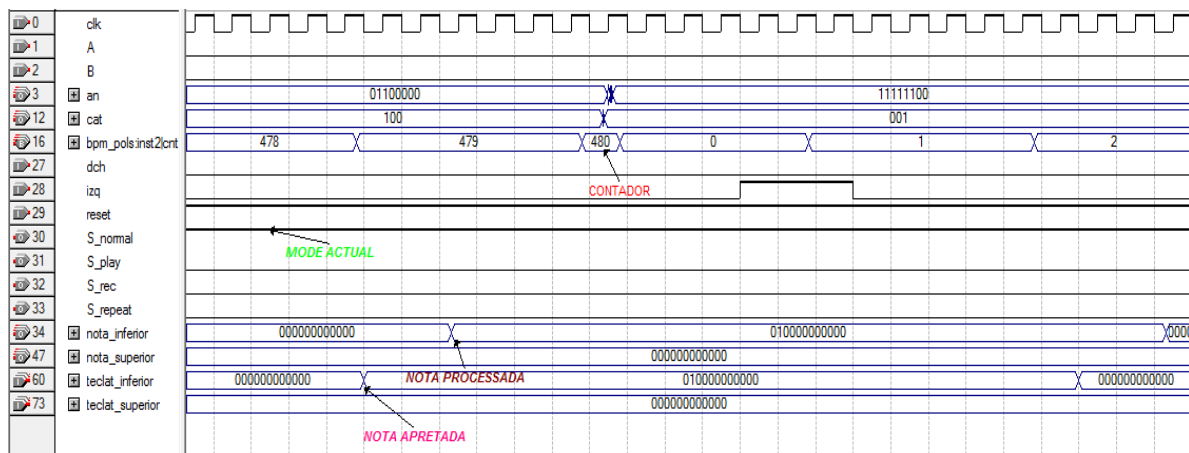
Conegut el seu funcionament de manera genèrica, podem veure de quina manera treballa i que s'ha hagut d'introduir per tal que funcioni tot plegat. Per una banda, hem necessitat dissenyar blocs de programa nous per introduir-los als blocs ja existents sense haver de modificar cap dels que hi havia. Per altra banda, per tal d'interactuar amb tots aquests nous programes s'ha hagut de desenvolupar una nova placa de circuit imprès, formada per dos polsadors per poder saltar d'un mode a un altre, igual que en el cas de la selecció d'octaves, es tracta d'un registre de desplaçament. També s'hi ha introduït un *encoder* de dos canals per tal de poder modificar els polsos per minut, que es mostren a través d'un display de tres dígit.

Per dissenyar el circuit s'han hagut de tenir en compte les resistències de *pull-down*, una per a cadascun dels polsadors i l'altre a cadascuna de les potes de l'encoder que fan referència als canals A i B. Trobar el valor de les resistències que limiten els corrents que circularan a través dels leds, i saber que per fer funcionar el display es necessita un transistor per cadascun dels dígit que hi hagi, en aquest cas tres. Per tal de saber on s'han de col·locar aquests transistors, s'ha de mirar el full de característiques del display, saber si és de tipus ànode comú o càtode comú, així com també conèixer quines són cadascuna de les potes de connexió.

A continuació s'hi veu un gràfic on hi apareix la simulació d'aquests nous programes.

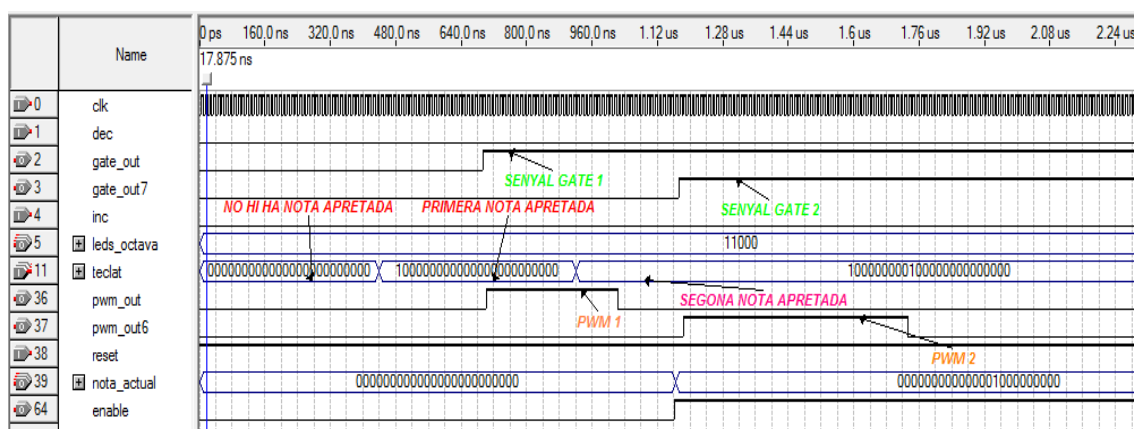


II-lustració 7-1 Placa de control del mode i dels BPM



II-lustració 7-2 Simulació de les millores

Una altra de les coses que s'han pensat i desenvolupat, però que no s'ha posat en pràctica per motius de temps, pressupost, entre d'altres. Ha estat la transformació d'un sintetitzador monofònic en un de polifònic, on la quantitat de veus està únicament limitada a la quantitat d'oscil·ladors dels que es disposi. És a dir, a nivell de programa ha estat pensat de manera que es poden anar introduint en paral·lel tants blocs com capacitat tingui la *FPGA*.



Il·lustració 7-3 Simulació de les millores dins el programa principal

Com podem observar de la imatge, a l'inici, no hi ha cap nota presa, per tant els senyals de control *gate*, es mantenen a '0'. Quan es prem una nota, la primera, s'activa el primer senyal de control juntament amb el senyal *PWM* que té una llargada de temps de cicle depenent de la nota que s'ha pres. Tot seguit es prem una altra nota, que en aquest cas té efecte sobre el nou mòdul i que fa que el senyal de control es posi a '1' i que el senyal de *PWM* comenci a generar-se amb el temps de cicle corresponent. D'aquesta manera, gràcies a la introducció de dues noves sortides a cada un dels mòduls del control del teclat podem afegir tants mòduls com es desitgi. Aquestes dues sortides són per una banda un vector de 24 bits per tal d'emascarar la nota anterior i no tornar-la a processar i l'altre es tracte d'un senyal d'habilitació.

8. Pressupost

En aquest capítol podem veure el cost que ha tingut el projecte. Els costos, estan separats per taules en funció de la utilitat, és a dir, s'ha valorat cadascun dels mòduls per separat.

Una de les coses que no es reflecteix a les taules és que per a cadascun dels dissenys dels circuit imprès, degut a les condicions del fabricant, la comanda mínima era de cinc unitats, per tant el preu gastat en el projecte és una mica més alt que el que es mostra al final d'aquest capítol.

Quantitat	Descripció	Referència	Preu unitari	Preu total
5	POTENTIOMETER, 50k Ω	R15, R17, R21, R27, R29	1,78	8,90
1	RESISTOR, 51k Ω	R18	0,13	0,13
7	RESISTOR, 22k Ω	R16, R19, R22, R23, R24, R25, R26	0,06	0,43
11	RESISTOR, 10k Ω	R1, R2, R4, R6, R7, R8, R12, R14, R28, R30, R33	0,07	0,81
2	RESISTOR, 1k Ω	R20, R32	0,05	0,09
2	OPAMP, TL074IN	U1, U2	0,53	1,06
4	HEADERS_TEST, HDR1X2	J1, J2, J3, J4	0,05	0,22
1	RESISTOR, 5k Ω	R31	1,04	1,04
1	POTENTIOMETER, 10k Ω	R34	1,69	1,69
1	HEADERS_TEST, HDR1X3	J9	0,52	0,52
4	CAPACITOR, 100nF	C3, C4, C5, C6, C7	0,39	1,58
4	RESISTOR, 100k Ω	R3, R9, R11, R13	0,17	0,66
1	RESISTOR, 50k Ω	R5	0,52	0,52
2	BJT_NPN, BC547BG	Q1, Q2	0,16	0,33
1	CAPACITOR, 550pF	C1	0,30	0,30
1	CAPACITOR, 500pF	C2	0,30	0,30
1	POTENTIOMETER, 47k Ω	R10	2,29	2,29
1	PCB		0,84	0,84
			TOTAL	21,70

Taula 8-1 Pressupost total de l'oscil·lador controlat per tensió

Quantitat	Descripció	Referència	Preu unitari	Preu total
1	OPAMP_NORTON, LM13700N	U2	1,67	1,67
6	RESISTOR, 100k Ω	R12, R13, R14, R21, R24, R27	0,17	1,00
2	RESISTOR, 200 Ω	R15, R16	0,07	0,15
2	RESISTOR, 68k Ω	R7, R8	0,13	0,26
2	CAPACITOR, 1.5nF	C3, C5	0,37	0,74
7	HEADERS_TEST, HDR1X2	J1, J2, J3, J4, J6, J7, J9	0,05	0,38
3	POTENTIOMETER, 100k Ω	R2, R6, R25	1,28	3,84
4	RESISTOR, 1k Ω	R10, R11, R17, R20	0,05	0,18
11	RESISTOR, 10k Ω	R1, R3, R4, R5, R9, R18, R19, R22, R23, R26, R28	0,07	0,81
4	CAPACITOR, 100nF	C1, C2, C4, C6	0,39	1,58
1	HEADERS_TEST, HDR1X3	J8	0,52	0,52
1	HEADERS_TEST, HDR2X3	J5		0,00
1	OPAMP, TL074CN	U1	0,53	0,53
1	PCB		0,84	0,84
			TOTAL	12,49

Taula 8-2 Pressupost total del filtre controlat per tensió

Quantitat	Descripció	Referència	Preu unitari	Preu total
1	OPAMP_NORTON, LM13700N	U2	1,67	1,67
3	RESISTOR, 10k Ω	R2, R4, R5	0,07	0,22
4	RESISTOR, 100k Ω	R1, R6, R3, R12, R13	0,17	0,66
1	RESISTOR, 47k Ω	R8	0,13	0,13
1	RESISTOR, 100 Ω	R9	0,05	0,05
1	RESISTOR, 4.7k Ω	R10	0,13	0,13
2	CAPACITOR, 1 μ F	C1, C2	0,18	0,36
2	POTENTIOMETER, 50k Ω	R14, R15	1,78	3,56
4	HEADERS_TEST, HDR1X2	ADSR_MOD, LFO_MOD, OUT, SIGNAL_IN	0,05	0,22
4	CAPACITOR, 100nF	C3, C4, C5, C6	0,39	1,58
1	OPAMP, TL084CN	U1	0,43	0,43
1	HEADERS_TEST, HDR2X3	SUPPLY	0,56	0,56
1	POTENTIOMETER, 1K Ω	R16	0,97	0,97
1	RESISTOR, 3.3k Ω	R7	0,05	0,05
1	RESISTOR, 300k Ω	R11	0,08	0,08
1	PCB		0,84	0,84
			TOTAL	11,51

Taula 8-3 Pressupost total de l'amplificador controlat per tensió

Quantitat	Descripció	Referència	Preu unitari	Preu total
1	OPAMP, TL074CN	U1	0,53	0,53
1	POTENTIOMETER, 100k Ω	R1	1,28	1,28
2	RESISTOR, 300k Ω	R4, R6		0,00
8	RESISTOR, 100k Ω	R3, R5, R7, R8, R9, R10, R11, R12	0,17	1,33
1	BJT_NPN, BC547A	Q1	0,16	0,16
2	RESISTOR, 1k Ω	R2, R13	0,05	0,09
1	HEADERS_TEST, HDR1X3	J2	0,52	0,52
1	RESISTOR, 51k Ω	R14	0,13	0,13
3	CAPACITOR, 0.47 μ F	C1, C2, C3	0,69	2,08
4	HEADERS_TEST, HDR1X2	J1, J3, J4, J5	0,05	0,22
1	PCB		0,84	0,84
			TOTAL	7,18

Taula 8-4 Pressupost total de l'envoltant

Quantitat	Descripció	Referència	Preu unitari	Preu total
5	SWITCHING_DIODE, 1N4148	D1, D2, D3, D4, D6	0,04	0,19
4	POTENTIOMETER, 1M Ω	R1, R2, R3, R6	2,21	8,83
4	RESISTOR, 4.7k Ω	R4, R8, R15, R16	0,13	0,52
3	BJT_NPN, BC547BG	Q1, Q2, Q3	0,16	0,49
3	RESISTOR, 220 Ω	R5, R7, R9	0,05	0,15
2	HEADERS_TEST, HDR1X2	J1, J2	0,05	0,11
2	RESISTOR, 20k Ω	R10, R17	0,09	0,18
2	CAPACITOR, 100nF	C2, C3	0,39	0,79
1	RESISTOR, 100k Ω	R14	0,17	0,17
1	HEADERS_TEST, HDR1X3	J3	0,52	0,52
1	OPAMP, TL082CD	U2	0,62	0,62
1	CAPACITOR, 2.2 μ F	C1	0,18	0,18
1	TIMER, LM555CM	U1	0,12	0,12
1	PCB		0,84	0,84
			TOTAL	13,7

Taula 8-5 Pressupost total de l'oscil·lador de baixa freqüència

Quantitat	Descripció	Referència	Preu unitari	Preu total
2	CAPACITOR, 100nF	C1,C2	0,39	0,79
1	RESISTOR, 51kΩ	R5	0,13	0,13
1	CAPACITOR, 1μF	C4	0,18	0,18
2	RESISTOR, 10kΩ	R3, R4	0,07	0,15
1	CAPACITOR, 2.2μF	C3	0,19	0,19
2	HEADERS_TEST, HDR1X2	J1, J4	0,05	0,11
1	HEADERS_TEST, HDR1X3	J2	0,52	0,52
1	OPAMP, TL074CN	U2	0,53	0,53
1	RESISTOR, 1kΩ	R2	0,05	0,05
1	PCB		0,84	0,84
			TOTAL	3,48

Taula 8-6 Pressupost total del convertidor

Quantitat	Descripció	Referència	Preu unitari	Preu total
8	PUSH_BUTTON	NOTA1, NOTA2, NOTA3, NOTA4, NOTA5, NOTA6, NOTA7, NOTA8	0,1	0,8
8	RESISTOR, 10kΩ	R1, R2, R3, R4, R5, R6, R7, R8	0,07	0,56
2	HEADER_TEST_HDR1X6	U1,U2	0,52	1,04
2	HEADER_TEST_HDR1X2	U3, U4	0,52	1,04
			TOTAL	3,44

Taula 8-7 Pressupost total d'una part del teclat

Quantitat	Descripció	Referència	Preu unitari	Preu total
2	PUSH_BUTTON	DCH, IZQ	0,1	0,2
4	GREEN_LEDS	NOR, REC, REP, PLAY	0,26	1,04
15	RESISTOR, 10kΩ	R1, R2, R3, R4, R5, R6, R7, R8	0,07	1,05
4	RESISTOR, 680Ω	R22, R23, R24, R26	0,125	0,5
1	HEADER_TEST_HDR1X6	U12	0,52	0,52
2	HEADER_TEST_HDR1X11	U35, U36,	0,63	1,26
3	BJT_NPN_547BG	D1, D2, D3	0,16	0,48
1	EC_11	ENCODER	1,16	1,16
1	HEADER_TEST_HDR1X5	U33	0,52	0,52
1	7_SEGMENTS	D4	3,54	3,54
			TOTAL	10,27

Taula 8-8 Pressupost total del mòdul de selecció de mode i control dels cops per minut

Quantitat	Descripció	Referència	Preu unitari	Preu total
1	Oscil·lador	VCO	21,70	21,702
1	Filtre	VPF	12,49	12,49
1	Amplificador	VCA	11,51	11,511
1	Envoltant	ADSR	13,7	13,7
1	Oscil·lador baixa freqüència	LFO	7,18	7,178
1	Control octaves	Cnt_Octaves	5,32	5,32
1	Control mode	Cnt_Mode	10,27	10,27
3	Teclat	Teclat	3,44	10,32
			TOTAL	92,491

Taula 8-9 Pressupost total del projecte

Com podem observar, el preu total del projecte, és bastant elevat, quasi cent euros. El producte que fa pujar notablement el preu són els potenciòmetres, que si ens fixem, el mòdul amb més potenciòmetres és el més car, el segon en tenir-ne més també es el segon més car. La resta de components tenen tots un valor de cèntims d'euro, exceptuant el display i algun integrat.

9. Conclusions

Com a primera valoració, l'objectiu principal del projecte es pot dir que s'ha assolit. A més, la manera en què s'ha anat evolucionant ha estat portada a terme complint cadascun dels punts marcats, és a dir, primer s'han adquirit els conceptes necessaris referents a les propietats del so, l'escala musical, els tipus de síntesi i quines parts elementals ha d'estar format un sintetitzador. Posteriorment s'han fet els dissenys de cadascuna de les parts i, evidentment, els càlculs necessaris per tal que els circuits es comportin de la manera esperada. Paral·lelament s'han anat dibuixant els diferents esquemes en un software de disseny i simulació, per tal de verificar el seu funcionament, o fer alguna modificació si és necessari. Finalment, a mida que s'anaven verificant els dissenys, s'ha fet la compra de materials i el disseny del circuit imprès.

De manera crítica, hi ha aspectes del conjunt del disseny que a mida que anava passant el temps, s'han trobat petits defectes que mentre s'ha dissenyat no s'havien tingut en compte o simplement no s'havia ni pensat en ells. Un exemple pot ser el no haver fet que l'oscil·lador tingués com a entrada de voltatge de control, el rang estandarditzat 1v/octava, per tal de fer-lo compatible amb qualsevol senyal externa de control. Per altre banda, mentre s'anaven fent les connexions entre els mòduls, s'ha tingut de posar un díode a l'entrada de control del filtre, degut a que en repòs, el filtre té un offset del voltatge de control, que provocava una tensió en aquest senyal, per tant contínuament, l'oscil·lador estava treballant.

Des d'un aspecte més econòmic o comercial, si s'observen els pressupostos, el preu del conjunt ha sigut bastant més elevat del que s'havia pogut pensar en un primer moment. Una de les causes d'aquest augment de pressupost ha estat la compra de tots els elements al detall i que les compres s'han fet en diverses ocasions, és a dir quan s'havia verificat el correcte funcionament d'un o dos mòduls, s'ha fet la comanda. Si la comanda hagués estat conjunta, possiblement el preu hauria estat més reduït.

Per acabar amb la valoració del que ha estat tot el projecte, ara des de un punt més personal, remarcar que la sensació d'haver fet tot el que s'ha fet és molt positiva i satisfactòria. Per una banda, he eliminat el remordiment que em feia pensar que tot i haver realitzat tots els estudis del grau, estava molt lluny de ser capaç de fer o crear dissenys de circuits. D'altra banda, no només he sigut capaç de fer els dissenys sinó que he conegut l'existència d'elements que no es mencionen en cap moment en tota la durada del grau, com per exemple, l'amplificador operacional de transconductància, i que personalment es tracte d'un element molt útil per al control extern de circuit. Per últim, s'ha comprovat que la feina no finalitza després de fer l'esquema del circuit, sinó que per poder fer el circuit imprès, s'han de tenir molts aspectes controlats, si el que es vol és

un resultat amb unes dimensions òptimes i on les distàncies i mides dels components sigui la correcta.

10. Bibliografia

J.Bermudez, Nuevas generaciones de instrumentos musicales electronicos. Barcelona: Editorial Marcombo, 1977. ISBN: 84-267-0213-9.

R. Wilson, Make: Analog Synthesizers. Estats Units d'Amèrica: Tercera edició, Editorial Maker Media, 2014. ISBN: 978-1-449-34522-8.

Pablo Fernandez-Cid. "Síntesis (6): fundamentos de síntesis sustractiva (I)." <https://www.hispasonic.com/tutoriales/sintesis-6-fundamentos-sintesis-sustractiva-i/38468>. 11/09/2013

Randall L. Geiger, Sanchez-Sinencio Edgar, Active filtre design using operational transconductance amplifiers. IEEE Circuits and device magazine.

11. Annexos

11.1 Plaques de circuit imprès

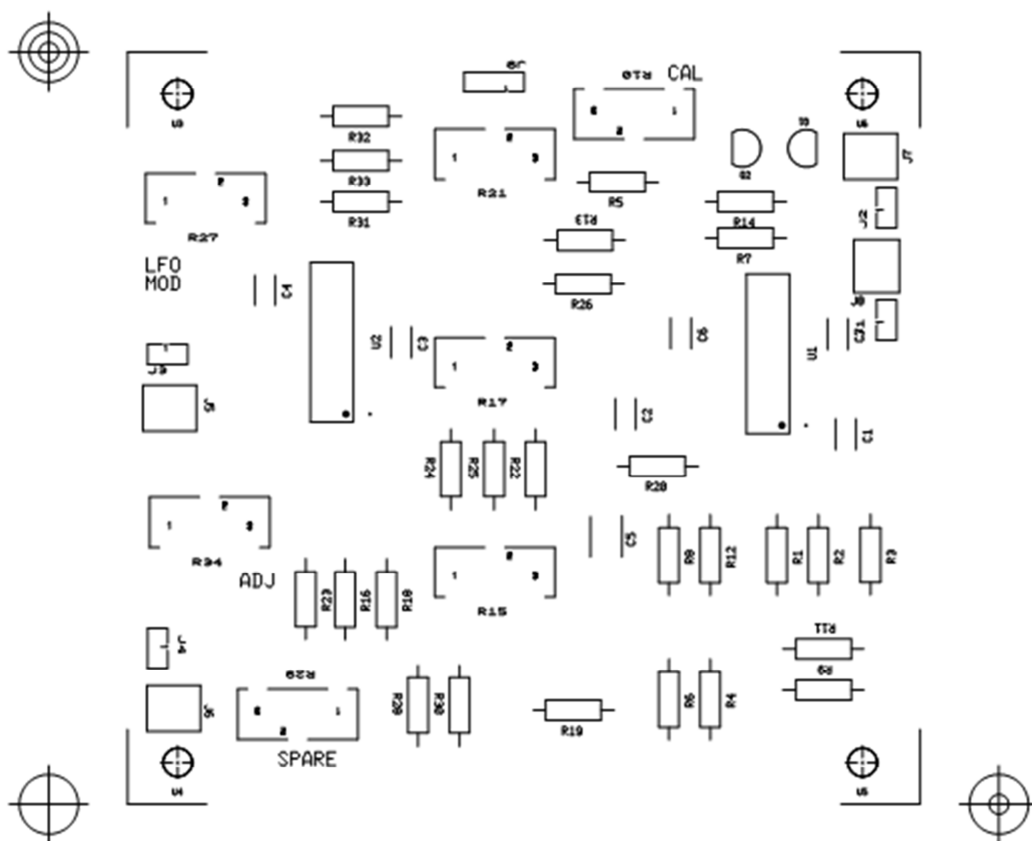


Figura 11-1 Cara de components del VCO

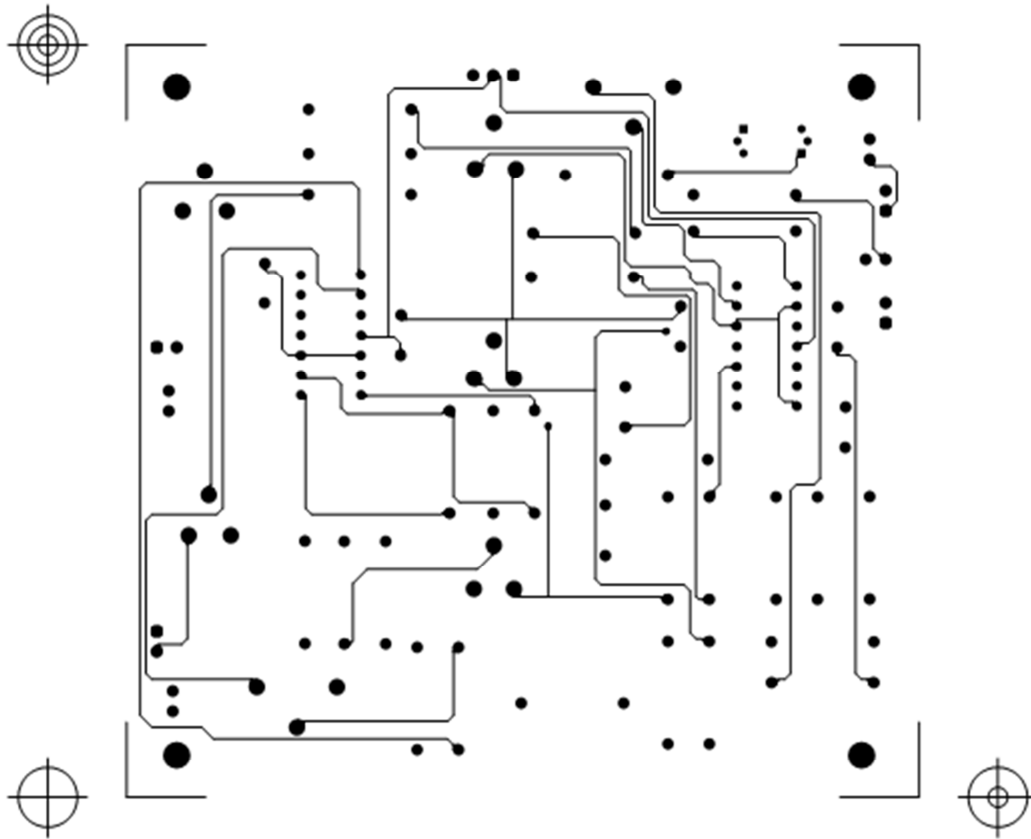


Figura 11-2 Cara de pistes posterior del VCO

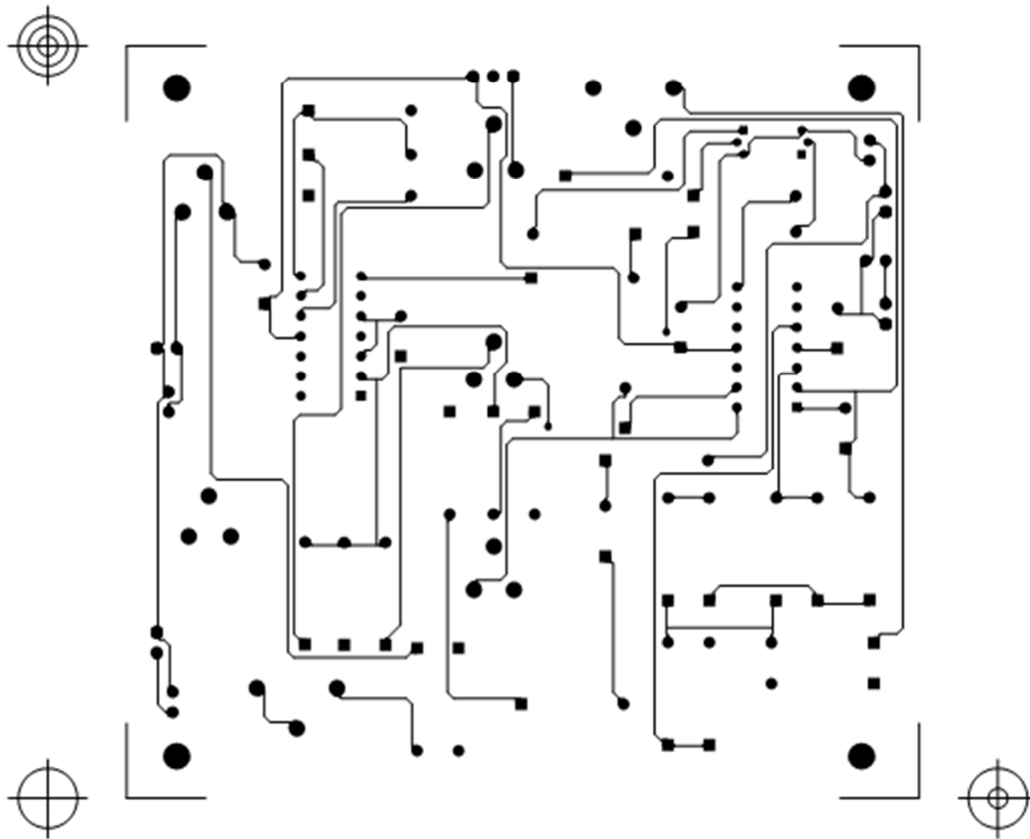


Figura 11-3 Cara de pistes devantera del VCO

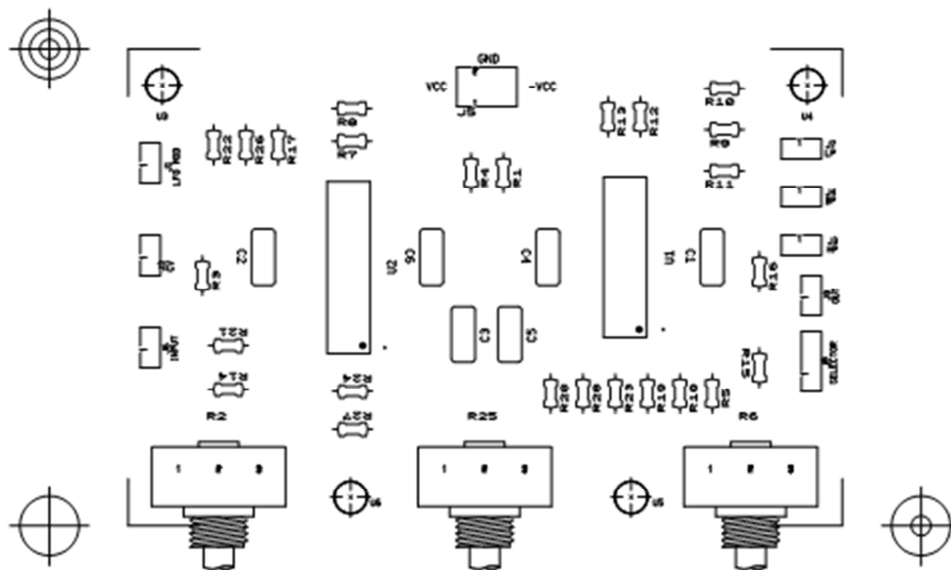


Figura 11-4 Cara de components del VCF

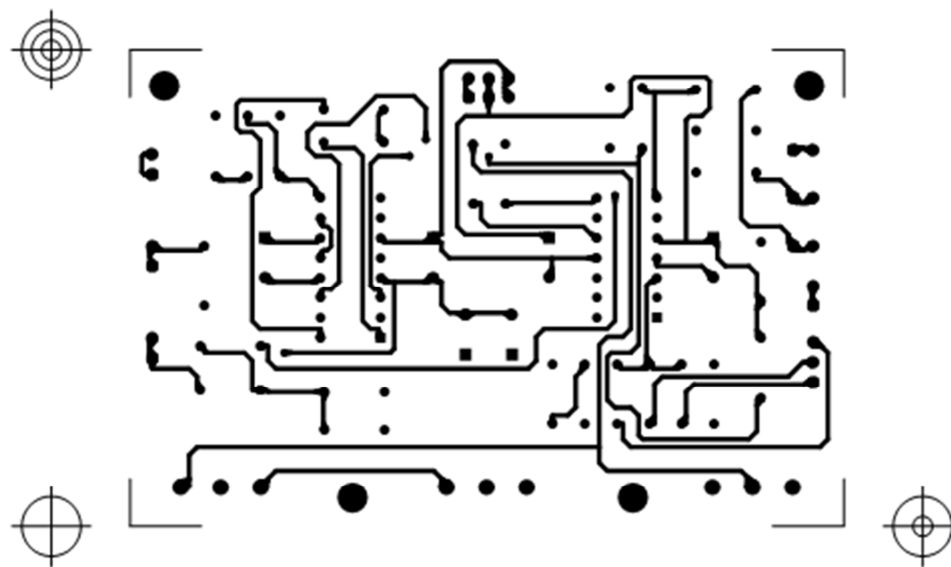


Figura 11-5 Cara de pistes posterior del VCF

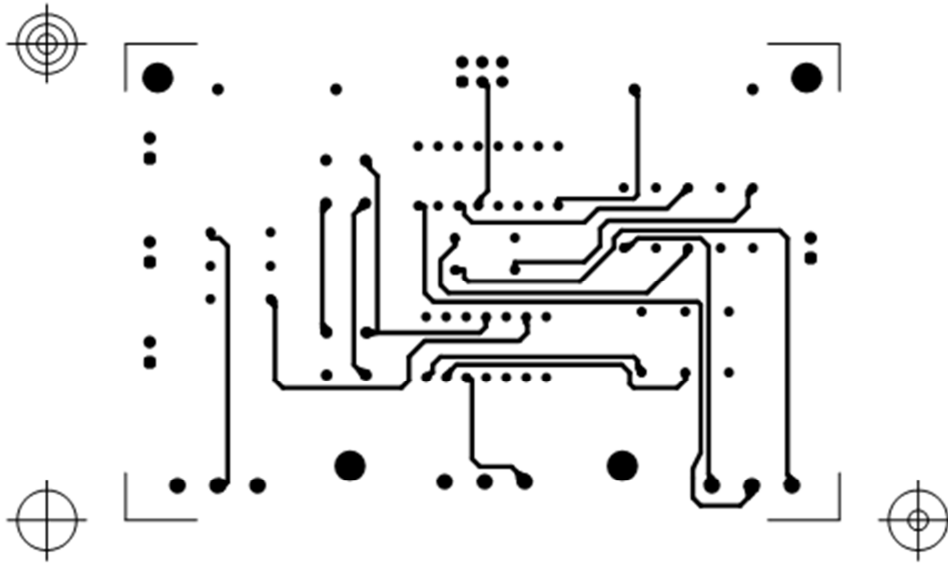


Figura 11-6 Cara de pistes davantera del VCF

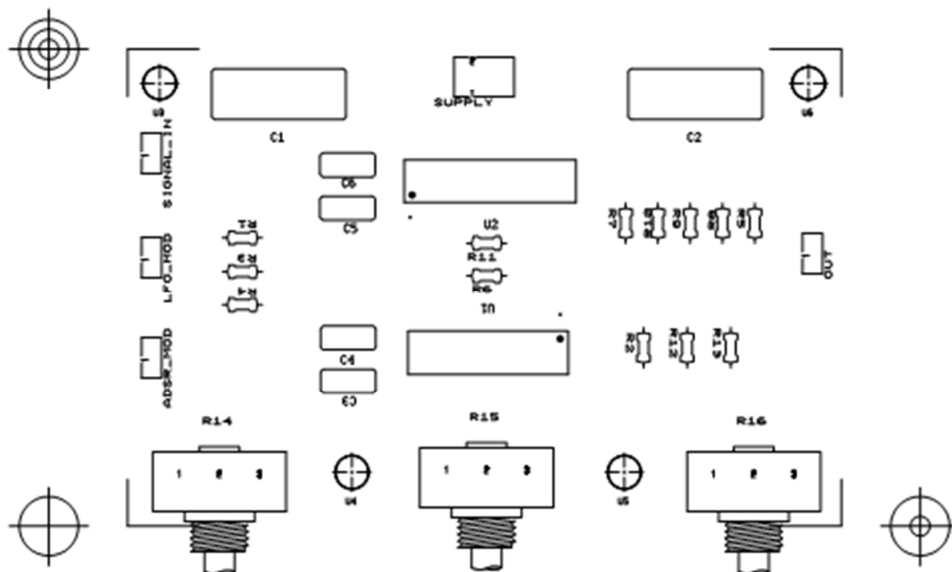


Figura 11-7 Cara de components del VCA

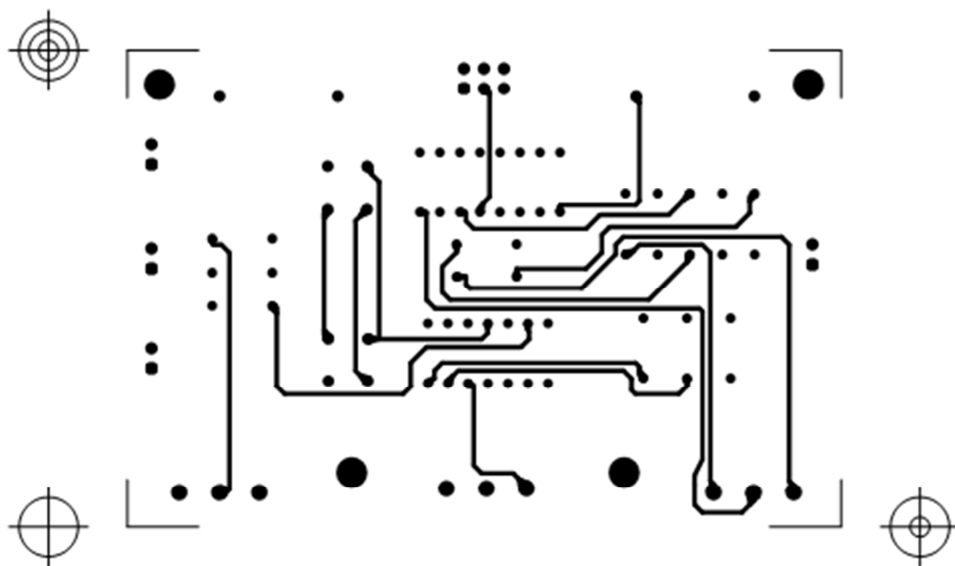


Figura 11-8 Cara de pistes posterior del VCA

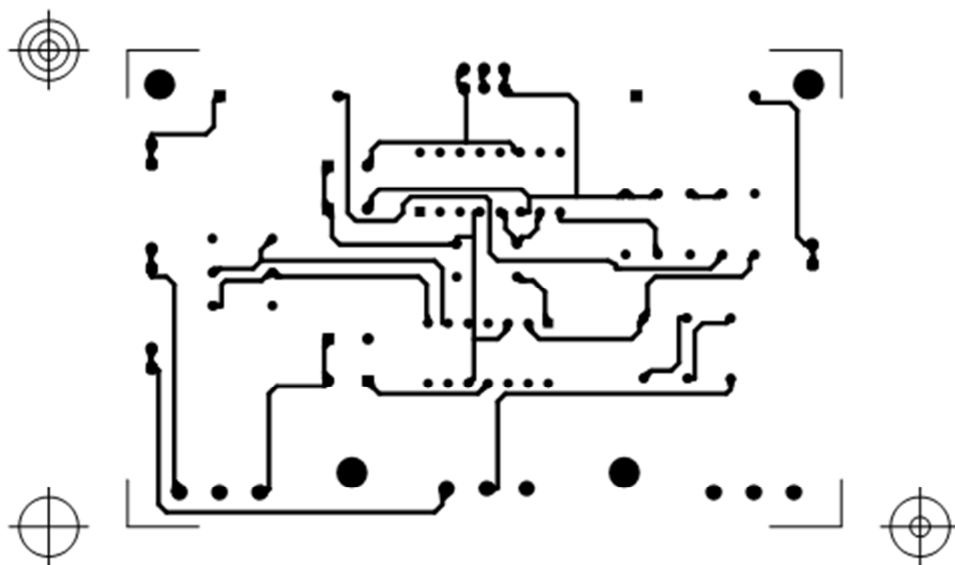


Figura 11-9 Cara de pistes davantera del VCA

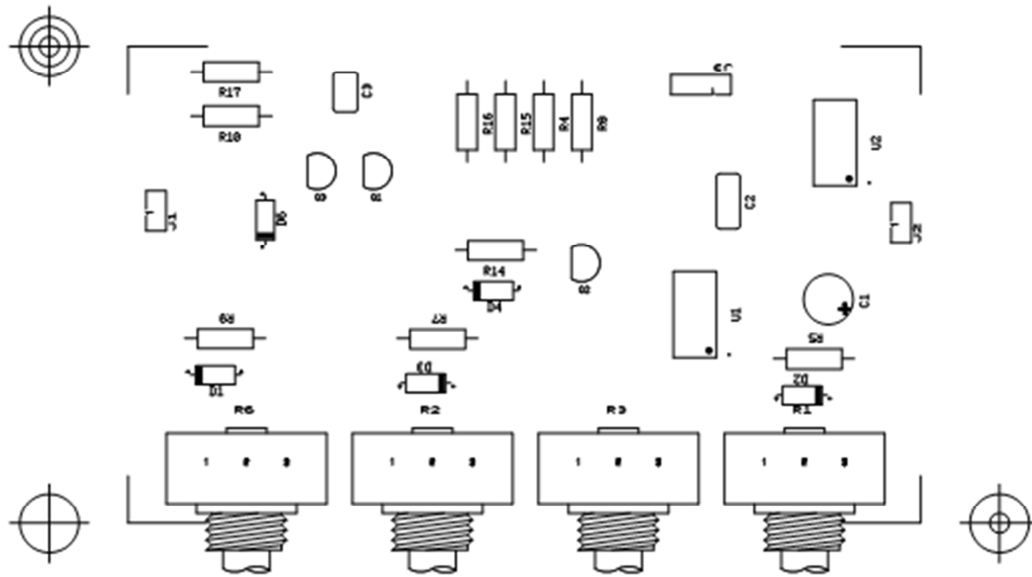


Figura 11-10 Cara de components de l'envoltant

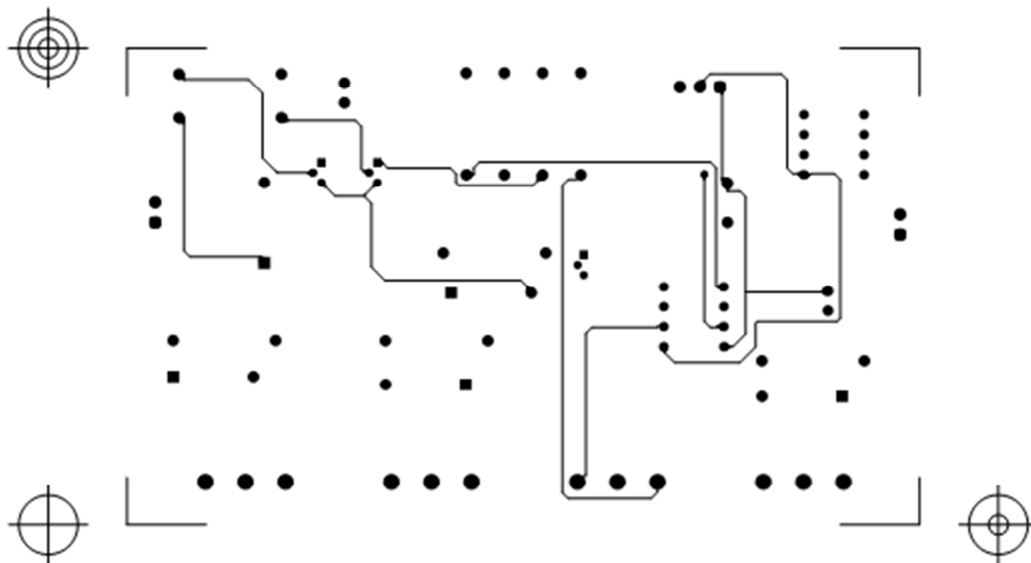


Figura 11-11 Cara de pistes posterior de l'envoltant

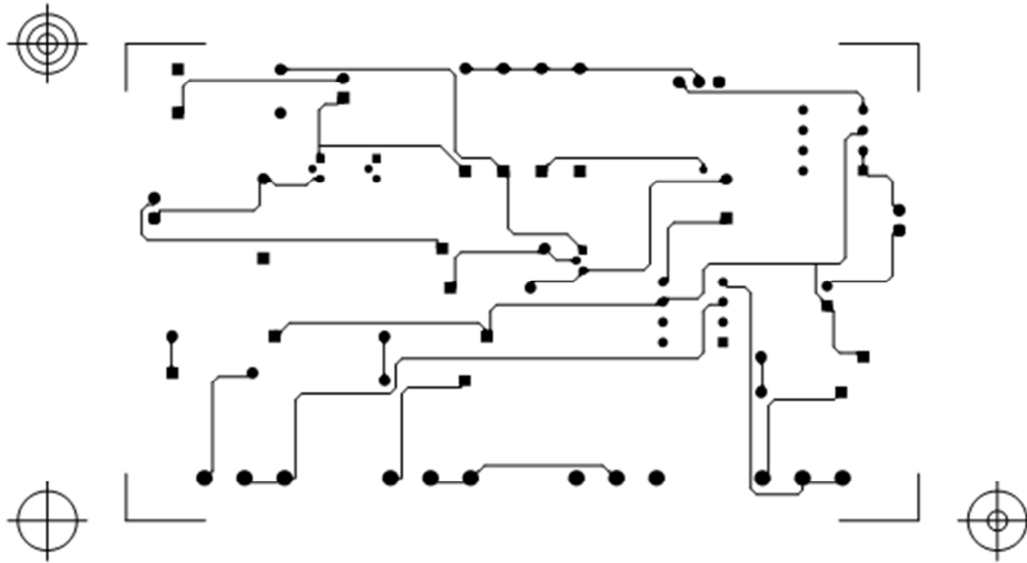


Figura 11-13 Cara de pistes davantera de l'envoltant

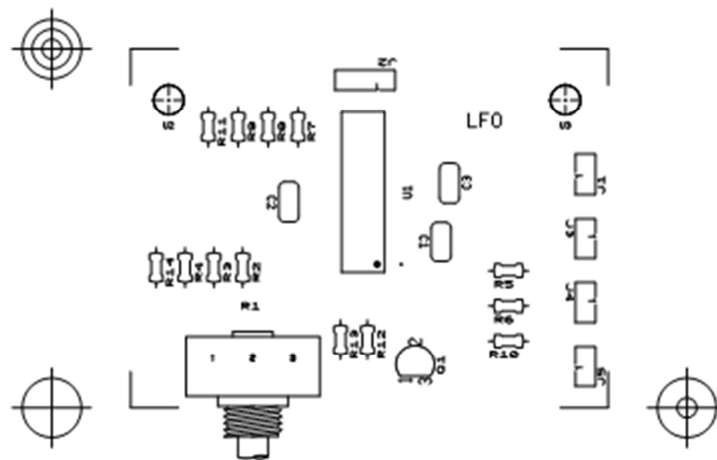


Figura 11-12 Cara de components del LFO

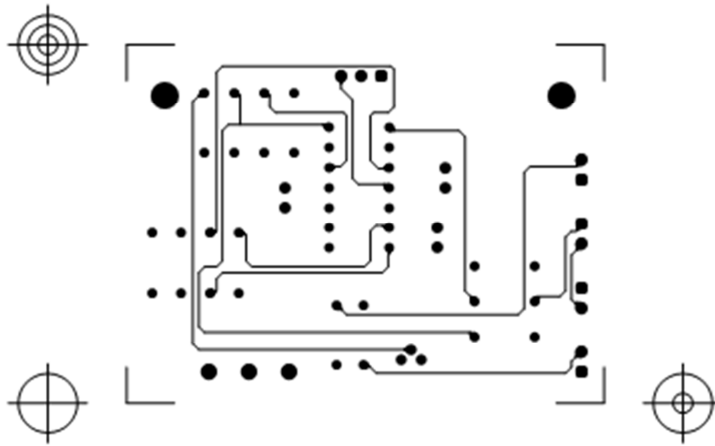


Figura 11-14 Cara de pistes posterior del LFO

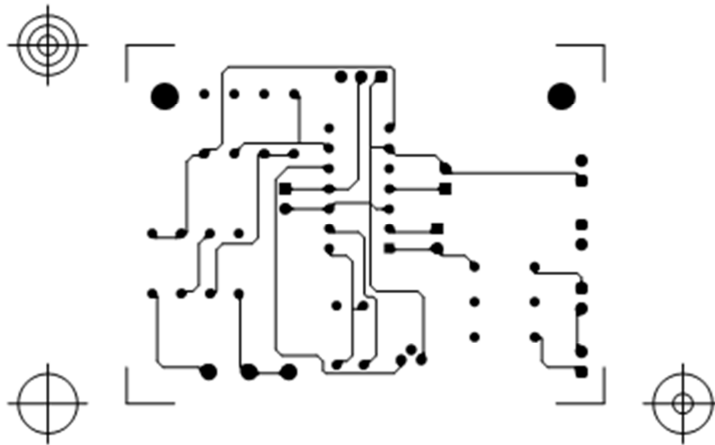


Figura 11-15 Cara de pistes davantera del LFO

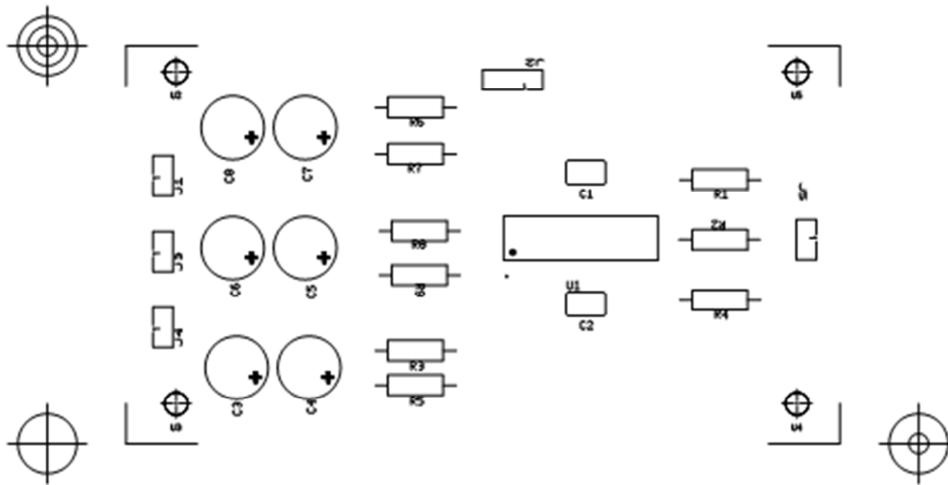


Figura 11-16 Cara de components del convertidor

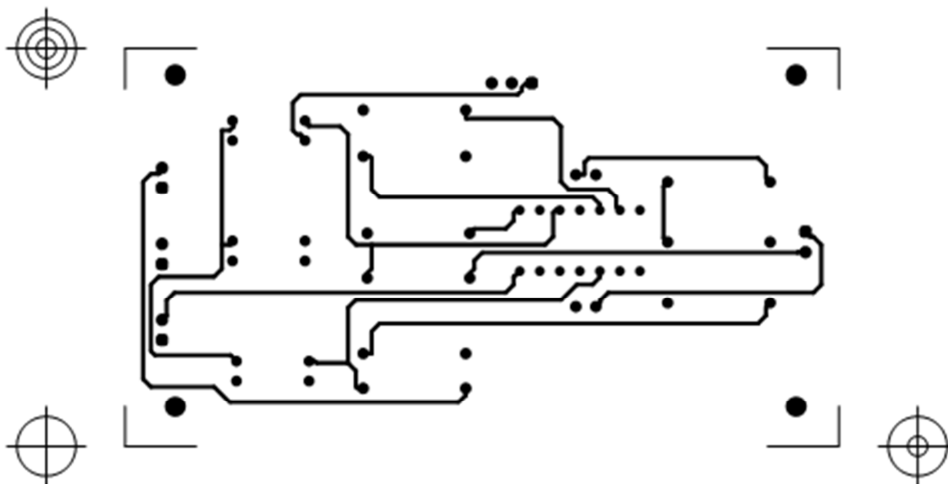


Figura 11-17 Cara de pistes posterior del convertidor

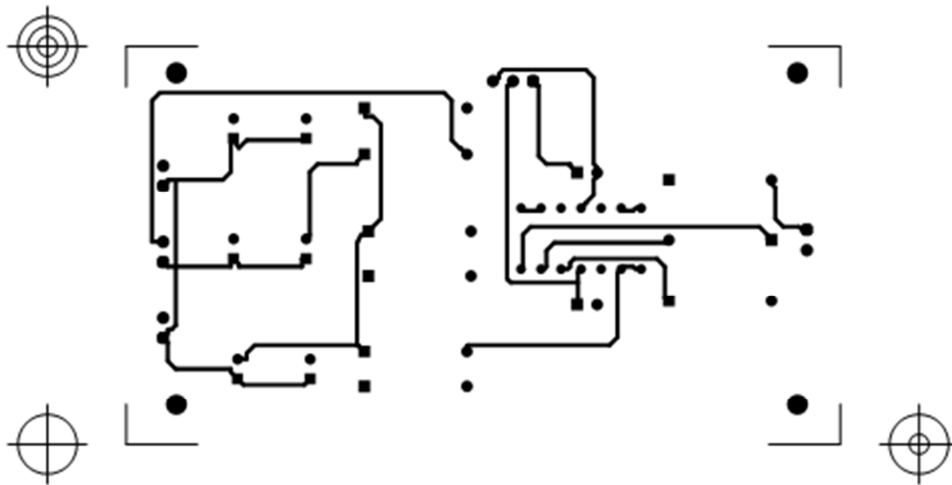


Figura 11-18 Cara de pistes davantera del convertidor

11.2 Codi VHDL

11.2.1 Entrades de teclat

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
use IEEE.NUMERIC_STD.ALL;

entity filtre is
generic ( filtratge : in integer range 0 to 64 := 5);
port (clk, reset      : in std_logic;
      N1,N2,N3,N4,N5,N6,N7,N8,N9,N10,N11,N12,N13,N14,N15,N16,N17,N18,N19,N20,N21,N22,N23,
      N24 : in STD_LOGIC:= '0';
      teclat_inferior, teclat_superior      : out std_logic_vector( 11 downto 0)
    );
end filtre;

architecture beh of filtre is

signal retard1, retard2, retard3, retard4, f_polsador : std_logic_vector(23 downto 0):= (others=>'0') ;
signal polsador : std_logic_vector( 23 downto 0);
signal div_clk :std_logic:= '0';
begin

polsador(0) <= N1;
polsador(1) <= N2;
polsador(2) <= N3;
polsador(3) <= N4;
polsador(4) <= N5;
polsador(5) <= N6;
polsador(6) <= N7;
polsador(7) <= N8;

```

```
polsador(8) <= N9;
polsador(9) <= N10;
polsador(10) <= N11;
polsador(11) <= N12;
polsador(12) <= N13;
polsador(13) <= N14;
polsador(14) <= N15;
polsador(15) <= N16;
polsador(16) <= N17;
polsador(17) <= N18;
polsador(18) <= N19;
polsador(19) <= N20;
polsador(20) <= N21;
polsador(21) <= N22;
polsador(22) <= N23;
polsador(23) <= N24;

process( clk )
variable cnt : integer range 0 to 64 := 0;
begin
if clk'event and clk='1' then
    if reset = '0' then
        cnt := 0;
        div_clk <= '0';
    elsif cnt = filtratge then
        div_clk <= '1';
        cnt := 0;
    else
        cnt:= cnt +1;
        div_clk <= '0';
    end if;
end if;
end process;
```

11.2.2 Assignació del valor del temps de cicle

```
library IEEE;
-- STD_LOGIC and STD_LOGIC_VECTOR types, and relevant functions
use ieee.std_logic_1164.all;
-- SIGNED and UNSIGNED types, and relevant functions
use ieee.numeric_std.all;

entity ass_dutty_v2 is
    port
    (
        -- Input ports
        clk, reset : in std_logic;
        notas_inferior, notas_superior : in std_logic_vector(11 downto 0);
        vector_octava : in std_logic_vector(1 downto 0);
        -- Output ports
        pwm : out std_logic_vector(9 downto 0)
    );
end ass_dutty_v2;

architecture behavioral of ass_dutty_v2 is

    signal n : std_logic_vector(59 downto 0);
    signal valors : integer range 0 to 1024 :=0;
```

begin

process(clk) **begin**

if clk **event** and clk='1' **then**

if (notas_inferior /= "000000000000" or notas_superior /= "000000000000") **then**

case vector_octava **is**

when "00" => -- CAS OCTAVES 2 I 3

n(11 **downto** 0) <= notas_inferior;

n(23 **downto** 12) <= notas_superior;

when "01" => -- CAS OCTAVES 3 I 4

n(23 **downto** 12) <= notas_inferior;

n(35 **downto** 24) <= notas_superior;

when "10" => -- CAS OCTAVES 4 I 5

n(35 **downto** 24) <= notas_inferior;

n(47 **downto** 36) <= notas_superior;

when "11" => -- CAS OCTAVES 5 I 6

n(47 **downto** 36) <= notas_inferior;

n(59 **downto** 48) <= notas_superior;

end case;

else

n <= (**others** => '0');

end if;

end if;

end process;

pwm <= std_logic_vector(to_unsigned(valors,10));

```
valors <=
    33 when n(0)='1' else
    35 when n(1)='1' else
    38 when n(2)='1' else
    40 when n(3)='1' else
    42 when n(4)='1' else
    45 when n(5)='1' else
    47 when n(6)='1' else
    50 when n(7)='1' else
    53 when n(8)='1' else
    56 when n(9)='1' else
    60 when n(10)='1' else
    63 when n(11)='1' else
    67 when n(12)='1' else
    71 when n(13)='1' else
    75 when n(14)='1' else
    80 when n(15)='1' else
    84 when n(16)='1' else
    89 when n(17)='1' else
    95 when n(18)='1' else
    100 when n(19)='1' else
    106 when n(20)='1' else
    113 when n(21)='1' else
    119 when n(22)='1' else
    126 when n(23)='1' else
    134 when n(24)='1' else
    142 when n(25)='1' else
    150 when n(26)='1' else
    159 when n(27)='1' else
    169 when n(28)='1' else
```

```

179 when n(29)='1' else
189 when n(30)='1' else
201 when n(31)='1' else
213 when n(32)='1' else
225 when n(33)='1' else
239 when n(34)='1' else
253 when n(35)='1' else
268 when n(36)='1' else
284 when n(37)='1' else
301 when n(38)='1' else
319 when n(39)='1' else
338 when n(40)='1' else
358 when n(41)='1' else
379 when n(42)='1' else
401 when n(43)='1' else
425 when n(44)='1' else
451 when n(45)='1' else
477 when n(46)='1' else
506 when n(47)='1' else
536 when n(48)='1' else
568 when n(49)='1' else
601 when n(50)='1' else
637 when n(51)='1' else
675 when n(52)='1' else
715 when n(53)='1' else
758 when n(54)='1' else
803 when n(55)='1' else
851 when n(56)='1' else
901 when n(57)='1' else
955 when n(58)='1' else
1011 when n(59)='1' else
0;

```

end behavioral;

11.2.3 Control octava

```

-----
library ieee;
-- STD_LOGIC and STD_LOGIC_VECTOR types, and relevant functions
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
-- SIGNED and UNSIGNED types, and relevant functions
use ieee.numeric_std.all;
entity V_octava is
-----
    port
    (
        -- Input ports
        clk, inc, dec, reset : in std_logic;
        -- Output ports
        selector : out std_logic_vector( 1 downto 0):="01";
        leds_octava : out std_logic_vector( 4 downto 0)
    );
end V_octava;
-----
architecture behavioral of V_octava is

component det_flang
port (   clk, reset : in std_logic;

```

```

    entrada : in std_logic:= '0';
    sortida : out std_logic:= '0';
end component;

-----

signal posicio : std_logic_vector(1 downto 0);
signal flanc_inc, flanc_dec, filter_dec, filter_inc : std_logic;

begin

c3: det_flanc
    port map (    clk => clk, reset => reset, entrada => inc, sortida => flanc_inc );
-----
c4: det_flanc
    port map (    clk => clk, reset => reset, entrada => dec, sortida => flanc_dec );

process(clk) begin
if clk'event and clk='1' then
    if reset='0' then
        posicio <= "01";
    elsif (flanc_inc='1' and posicio < "11") then      -- si es mes petit que 4
        posicio <= posicio + "01";
    elsif (flanc_dec='1' and posicio > "00") then      -- si es mes gran que 1
        posicio <= posicio - "01";
    end if;
end if;
end process;

selector <= posicio;

leds_octava <=
    "11000" when posicio="00" else
    "01100" when posicio="01" else
    "00110" when posicio="10" else
    "00011" when posicio="11" else
    "00000";

end behavioral;

```

11.2.4 Generació del senyal PWM

```

library IEEE;
-- STD_LOGIC and STD_LOGIC_VECTOR types, and relevant functions
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
-- SIGNED and UNSIGNED types, and relevant functions
use ieee.numeric_std.all;

entity pwm is
    port
    (
        -- Input ports
        clk, reset    : in std_logic;
        dutty         : in std_logic_vector(9 downto 0);
        -- Output ports
    );
end entity;

```

```

    pwm_out      : out std_logic;
    gate_out     : out std_logic
);
end pwm;

architecture behavioral of pwm is

    signal duty_reg : std_logic_vector(9 downto 0) ;
    signal contador : std_logic_vector(9 downto 0) ;

begin
    process(clk) begin
        if clk'event and clk='1' then
            if reset = '0' then
                contador <= (others => '0');
                duty_reg <= (others => '0');
                pwm_out <= '0';
            elsif dutty /= "0000000000" then
                duty_reg <= dutty;
                gate_out <= '1';
                if contador = "1111111111" then
                    contador <= (others => '0');
                elsif (contador < duty_reg and contador /= 0) then
                    pwm_out <= '1';
                    contador <= contador + 1;
                elsif duty_reg = "1111111111" then
                    pwm_out <= '1';
                else
                    contador <= contador + 1;
                    pwm_out <= '0';
                end if;
            else
                pwm_out <= '0';
                gate_out <= '0';
            end if;
        end if;
    end process;
end behavioral;
```

11.2.5 Divisor de rellotge

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
use IEEE.NUMERIC_STD.ALL;

entity divisor_clk is
    generic ( filtratge : in integer range 0 to 64 := 5);
    port (
        clk      : in std_logic;
        div_clk   : out std_logic
    );
end divisor_clk;

architecture beh of divisor_clk is
begin
    process( clk )
```



```
variable cnt : integer range 0 to 64 := 0;
begin
if clk'event and clk='1' then
  if cnt = filtratge then
    div_clk <= '1';
    cnt := 0;
  else
    cnt:= cnt +1;
    div_clk <= '0';
  end if;
end if;
end process;
end beh;
```

11.2.6 Detector de flanc de pujada

```
library ieee;
use ieee.std_logic_1164.all;

entity det_flang is
port ( clk, reset : in std_logic;
      entrada : in std_logic:= '0';
      sortida : out std_logic:= '0');
end det_flang;

architecture behavioral of det_flang is

  signal q1, q0 : std_logic;

begin

  process(clk) begin
    if clk'event and clk = '1' then
      if reset = '0' then
        q1 <= '0';
        q0 <= '0';
      elsif entrada = '1' then
        q1 <= entrada;
        q0 <= q1;
      else
        q1 <= '0';
        q0 <= '0';
      end if;
    end if;
  end process;

  sortida <= q1 and not q0;
end behavioral;
```

11.3 Codi VHDL de les millores

11.3.1 Selecció del mode de treball

```
library ieee;
-- STD_LOGIC and STD_LOGIC_VECTOR types, and relevant functions
use ieee.std_logic_1164.all;
```

```

use ieee.std_logic_unsigned.all;
-- SIGNED and UNSIGNED types, and relevant functions
use ieee.numeric_std.all;
entity Sel_mode is
port
(
  -- Input ports
  clk, dch, izq, reset : in std_logic;
  -- Output ports
  Selected_mode : out std_logic_vector(3 downto 0);
  S_normal, S_repeat, S_rec, S_play: out std_logic
);
end Sel_mode;

architecture behavioral of Sel_mode is

-----
component det_flang
  port (  clk, reset : in std_logic;
         entrada : in std_logic:= '0';
         sortida : out std_logic:= '0');
end component;

-----
signal pose : std_logic_vector(1 downto 0);
signal flang_dch, flang_izq : std_logic;

begin
-----
c1: det_flang
  port map ( clk => clk, reset => reset, entrada => dch, sortida => flang_dch);
-----
c2: det_flang
  port map ( clk => clk, reset => reset, entrada => izq, sortida => flang_izq);
-----
process(clk) begin
if clk'event and clk='1' then
  if reset = '0' then
    pose <= "00";
  elsif (flang_izq='1' and pose > "00") then
    pose <= pose - '1';
  elsif (flang_dch = '1' and pose < "11") then
    pose <= pose + '1';
  end if;
end if;
end process;

S_normal <= '1' when pose = "00" else '0';
S_repeat <= '1' when pose = "01" else '0';
S_rec <= '1' when pose = "10" else '0';
S_play <= '1' when pose = "11" else '0';

Selected_mode(0) <= '1' when pose = "00" else '0';
Selected_mode(1) <= '1' when pose = "01" else '0';
Selected_mode(2) <= '1' when pose = "10" else '0';
Selected_mode(3) <= '1' when pose = "11" else '0';
end behavioral;

```

11.3.2 Control de l'encoder

```
library IEEE;
```

```

use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
use IEEE.NUMERIC_STD.ALL;

entity encoder_v3 is
port ( A, B      : in std_logic:='0';
      clk       : in std_logic;
      bpm_out  : out std_logic_vector ( 7 downto 0):="01111000"
    );
end encoder_v3;

architecture beh of encoder_v3 is

signal delay_A, delay_B : std_logic_vector(2 downto 0) := "000";
signal enable_conta, enable_direc : std_logic;
signal bpm : integer range 0 to 255 := 120;
begin

process(clk)
begin
if clk'event and clk='1' then
delay_A <= (delay_A(1), delay_A(0), A);
delay_B <= (delay_B(1), delay_B(0), B);
if enable_conta = '1' then
    if enable_direc = '1' then
        bpm <= bpm + 1;
        bpm_out <= std_logic_vector(to_unsigned(bpm,8));
    else
        bpm <= bpm - 1;
        bpm_out <= std_logic_vector(to_unsigned(bpm,8));
    end if;
end if;
end if;
end process;
enable_conta <= delay_A(1) XOR delay_A(2) XOR delay_B(1) XOR delay_B(2);
enable_direc <= delay_A(1) XOR delay_B(2);

end beh;

```

11.3.3 Convertidor de binari a binari natural

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_unsigned.ALL;
use ieee.numeric_std.all;

entity BTOBCD is
port (
    binari : in std_logic_vector(7 downto 0);
    bcd0,bcd1 : out std_logic_vector(3 downto 0);
    bcd2 : out std_logic_vector(1 downto 0));

end BTOBCD;
architecture arch of BTOBCD is
signal resultat : std_logic_vector(9 downto 0);
begin

process (binari)

```

```
variable treball: std_logic_vector( 17 downto 0);
begin
  for i in 0 to 17 loop
    treball(i) := '0';
  end loop;
treball(10 downto 3) := binari;
  for i in 0 to 4 loop
    if treball(11 downto 8) > 4 then
      treball(11 downto 8) := treball(11 downto 8) +3;
    end if;
    if treball(15 downto 12) > 4 then
      treball(15 downto 12) := treball(15 downto 12) + 3;
    end if;
    treball(17 downto 1) := treball(16 downto 0);
  end loop;
resultat <= treball(17 downto 8);

end process;
```

11.3.4 Control del display de set segments

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_unsigned.ALL;

entity MULTIPLEXOR is
  Port ( sw0, sw1 : in STD_LOGIC_VECTOR (3 downto 0);
        sw02 : in STD_LOGIC_VECTOR ( 1 DOWNTO 0);
        clk : in STD_LOGIC;
        an : out STD_LOGIC_VECTOR (7 downto 0);
        cat : out STD_LOGIC_VECTOR (2 downto 0));
end MULTIPLEXOR;

architecture Behavioral of MULTIPLEXOR is

  signal div_clk: STD_LOGIC := '0';
  signal div_cnt: STD_LOGIC_VECTOR (13 downto 0) := (others=> '0');
  signal digit_act: STD_LOGIC_VECTOR (1 downto 0) := (others=> '0');
  signal blok_sw, sw2: STD_LOGIC_VECTOR (3 downto 0);

begin

  sw2( 3 downto 2 ) <= "00";
  sw2(1 downto 0) <= sw02;

  divisor_clk: process (clk) begin
    if clk'event and clk='1' then
```

```

    if div_cnt = "11111111111111" then
        div_cnt <= (others=>'0');
        div_clk <= '1';
    else
        div_cnt <= div_cnt + 1;
        div_clk <= '0';
    end if;
end if;
end process;

digit_atual: process (clk) begin
    if clk'event and clk='1' then
        if div_clk = '1' then
            if digit_act = "10" then
                digit_act <= "00";
            else
                digit_act <= digit_act + '1';
            end if;
        end if;
    end if;
end process;

with digit_act select
    cat <= "001" when "00",
           "010" when "01",
           "100" when "10",
           "000" when others;

with digit_act select
    blok_sw <= sw0 when "00",
              sw1 when "01",
              sw2 when "10",
              "1111" when others;

with blok_sw select
    --ABCDEFGH
    an <= "11111100" when "0000",      -- 0
         "01100000" when "0001",      -- 1
         "11011010" when "0010",      -- 2
         "11110010" when "0011",      -- 3
         "01100110" when "0100",      -- 4
         "10110110" when "0101",      -- 5
         "10111110" when "0110",      -- 6
         "11100000" when "0111",      -- 7
         "11111110" when "1000",      -- 8
         "11100110" when "1001",      -- 9
         "00000000" when others;

end Behavioral;

```

11.3.5 Generador de polsos per milisegon

```

library ieee;
-- STD_LOGIC and STD_LOGIC_VECTOR types, and relevant functions
use ieee.std_logic_1164.all;
-- SIGNED and UNSIGNED types, and relevant functions
use ieee.numeric_std.all;
use ieee.std_logic_unsigned.all;

```

```
entity pols_ms is
  port
  (
    -- Input ports
    clk : in std_logic;
    -- Output ports
    pols : out std_logic := '0'
  );
end pols_ms;

architecture behavioral of pols_ms is

  signal cnt_milis : integer := 0;
  signal milis : std_logic := '0';

begin
  process(clk) begin
    if clk'event and clk='1' then
      -- impulsos cada milisegon E= fclk/fmilis
      if cnt_milis = 50000 then
        cnt_milis <= 0;
        milis <= '1';
      else
        cnt_milis <= cnt_milis + 1;
        milis <= '0';
      end if;
    end if;
  end process;

  pols <= milis;
end behavioral;
```

11.3.6 Generació de polsos en funció del BPM

11.3.7 Gestió dels modes

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity MPX_BUS_DUTTY is
  port (
    clk, reset, pols : in STD_LOGIC;
    mode_select : in std_logic_vector(3 downto 0);
    teclat_inferior, teclat_superior : in std_logic_vector(11 downto 0);
    nota_inferior : out std_logic_vector(11 downto 0);
    nota_superior : out std_logic_vector(11 downto 0)
  );
end MPX_BUS_DUTTY;

architecture beh of MPX_BUS_DUTTY is

  signal registre_repeat_inf : std_logic_vector(11 downto 0);
  signal registre_repeat_sup : std_logic_vector(11 downto 0);
  signal control : std_logic;

  type registre is
    record
      address : integer range 0 to 15;
```

```

data_inf, data_sup : std_logic_vector(11 downto 0);
end record;

signal nota_actual : registre;
signal fet : std_logic;
begin

process ( clk )
variable i,ii : integer range 1 to 15 := 1;
begin
if clk'event and clk='1' then
case mode_select is
when "0001" => -- mode normal
    nota_inferior <= teclat_inferior;
    nota_superior <= teclat_superior;

when "0010" => -- mode repeat
    if ((teclat_inferior /= "000000000000") or (teclat_superior /= "000000000000")) then
        nota_inferior <= teclat_inferior;
        nota_superior <= teclat_superior;
        registre_repeat_inf <= teclat_inferior;
        registre_repeat_sup <= teclat_superior;
    else
        nota_inferior <= registre_repeat_inf;
        nota_superior <= registre_repeat_sup;
    end if;
    control <= '1';

when "0100" => -- mode rec
    if control = '1' then
        control <= '0';
        i:= 1;
    else
        nota_inferior <= teclat_inferior;
        nota_superior <= teclat_superior;
        if (((teclat_inferior /= "000000000000") or (teclat_superior /= "000000000000")) an
d fet ='0') then
            nota_actual <= (i,teclat_inferior,teclat_superior);
            i:= i+1;
            fet <= '1';
        else
            fet <= '0';
        end if;
    end if;

when "1000" => -- mode play
    if ii = i then
        ii := 1;
    elsif pols = '1' then
        ii := ii + 1;
        nota_actual.address <= ii;
    end if;
    nota_inferior <= nota_actual.data_inf;
    nota_superior <= nota_actual.data_sup;
    control <= '1';

when others => -- en qualsevol altre cas
    nota_inferior <= (others => '0');
    nota_superior <= (others => '0');
end if;
end process;

```

```
end case;  
end if;  
end process;  
end beh;
```


11.4 Pins d'entrades i sortides

NOM	DIRECCIÓ	PIN	BANC	TIPUS	INTENSITAT DE SORTIDA
reset	Input	PIN_144	B2_N1	3.3-V LVTTTL (default)	24mA (default)
pwm_out	Output	PIN_9	B1_N0	3.3-V LVTTTL (default)	24mA (default)
leds_octava[4]	Output	PIN_142	B2_N1	3.3-V LVTTTL (default)	24mA (default)
leds_octava[3]	Output	PIN_139	B2_N1	3.3-V LVTTTL (default)	24mA (default)
leds_octava[2]	Output	PIN_136	B2_N1	3.3-V LVTTTL (default)	24mA (default)
leds_octava[1]	Output	PIN_134	B2_N1	3.3-V LVTTTL (default)	24mA (default)
leds_octava[0]	Output	PIN_132	B2_N1	3.3-V LVTTTL (default)	24mA (default)
izq	Input	PIN_129	B2_N1	3.3-V LVTTTL (default)	24mA (default)
inc	Input	PIN_31	B1_N1	3.3-V LVTTTL (default)	24mA (default)
gate_out	Output	PIN_25	B1_N1	3.3-V LVTTTL (default)	24mA (default)
dec	Input	PIN_32	B1_N1	3.3-V LVTTTL (default)	24mA (default)
dch	Input	PIN_126	B2_N0	3.3-V LVTTTL (default)	24mA (default)
clk	Input	PIN_17	B1_N0	3.3-V LVTTTL (default)	24mA (default)
cat_out[2]	Output	PIN_73	B3_N1	3.3-V LVTTTL (default)	24mA (default)
cat_out[1]	Output	PIN_74	B3_N1	3.3-V LVTTTL (default)	24mA (default)
cat_out[0]	Output	PIN_75	B3_N1	3.3-V LVTTTL (default)	24mA (default)
an_out[7]	Output	PIN_63	B4_N0	3.3-V LVTTTL (default)	24mA (default)
an_out[6]	Output	PIN_65	B4_N0	3.3-V LVTTTL (default)	24mA (default)
an_out[5]	Output	PIN_69	B4_N0	3.3-V LVTTTL (default)	24mA (default)
an_out[4]	Output	PIN_71	B4_N0	3.3-V LVTTTL (default)	24mA (default)
an_out[3]	Output	PIN_64	B4_N0	3.3-V LVTTTL (default)	24mA (default)
an_out[2]	Output	PIN_67	B4_N0	3.3-V LVTTTL (default)	24mA (default)
an_out[1]	Output	PIN_70	B4_N0	3.3-V LVTTTL (default)	24mA (default)
an_out[0]	Output	PIN_72	B4_N0	3.3-V LVTTTL (default)	24mA (default)
S_repeat	Output	PIN_118	B2_N0	3.3-V LVTTTL (default)	24mA (default)
S_rec	Output	PIN_120	B2_N0	3.3-V LVTTTL (default)	24mA (default)
S_play	Output	PIN_122	B2_N0	3.3-V LVTTTL (default)	24mA (default)
S_normal	Output	PIN_114	B2_N0	3.3-V LVTTTL (default)	24mA (default)
N24	Input	PIN_121	B2_N0	3.3-V LVTTTL (default)	24mA (default)
N23	Input	PIN_119	B2_N0	3.3-V LVTTTL (default)	24mA (default)
N22	Input	PIN_115	B2_N0	3.3-V LVTTTL (default)	24mA (default)
N21	Input	PIN_113	B2_N0	3.3-V LVTTTL (default)	24mA (default)
N20	Input	PIN_143	B2_N1	3.3-V LVTTTL (default)	24mA (default)
N19	Input	PIN_141	B2_N1	3.3-V LVTTTL (default)	24mA (default)
N18	Input	PIN_137	B2_N1	3.3-V LVTTTL (default)	24mA (default)
N17	Input	PIN_135	B2_N1	3.3-V LVTTTL (default)	24mA (default)
N16	Input	PIN_100	B3_N0	3.3-V LVTTTL (default)	24mA (default)
N15	Input	PIN_97	B3_N0	3.3-V LVTTTL (default)	24mA (default)
N14	Input	PIN_94	B3_N0	3.3-V LVTTTL (default)	24mA (default)
N13	Input	PIN_92	B3_N0	3.3-V LVTTTL (default)	24mA (default)
N12	Input	PIN_51	B4_N1	3.3-V LVTTTL (default)	24mA (default)
N11	Input	PIN_47	B4_N1	3.3-V LVTTTL (default)	24mA (default)
N10	Input	PIN_44	B4_N1	3.3-V LVTTTL (default)	24mA (default)
N9	Input	PIN_42	B4_N1	3.3-V LVTTTL (default)	24mA (default)
N8	Input	PIN_60	B4_N0	3.3-V LVTTTL (default)	24mA (default)
N7	Input	PIN_58	B4_N1	3.3-V LVTTTL (default)	24mA (default)
N6	Input	PIN_55	B4_N1	3.3-V LVTTTL (default)	24mA (default)
N5	Input	PIN_52	B4_N1	3.3-V LVTTTL (default)	24mA (default)
N4	Input	PIN_48	B4_N1	3.3-V LVTTTL (default)	24mA (default)
N3	Input	PIN_45	B4_N1	3.3-V LVTTTL (default)	24mA (default)
N2	Input	PIN_43	B4_N1	3.3-V LVTTTL (default)	24mA (default)
N1	Input	PIN_41	B4_N1	3.3-V LVTTTL (default)	24mA (default)
B	Input	PIN_88	B3_N1	3.3-V LVTTTL (default)	24mA (default)
A	Input	PIN_87	B3_N1	3.3-V LVTTTL (default)	24mA (default)